

ВРЕМЯ ЗАДЕРЖКИ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ

БОННИ БЕЙКЕР (BONNIE BAKER), старший специалист по применению, Texas Instruments

При использовании дельта-сигма АЦП с мультиплексором на входе, для увеличения быстродействия систем с высоким разрешением необходимо учитывать время ожидания АЦП. В статье рассмотрены вопросы выбора АЦП с малым временем задержки в многоканальных системах с датчиками. Статья представляет собой перевод [1].

Во многих приложениях используются датчики, которые формируют низкоуровневые медленно меняющиеся сигналы. Для датчиков такого типа применяют дельта-сигма АЦП, которые позволяют обойтись без сложных входных аналоговых схем и обеспечивают высокое разрешение на выходе и низкий уровень шумов. Некоторые системы имеют несколько датчиков, причем все они генерируют низкочастотные сигналы. В этом случае может потребоваться малощумящий АЦП высокого разрешения с мультиплексором на входе. Приложения, связанные с системами диагностики для автомобилей, служат примером мультиплексированной системы датчиков с низким уровнем сигнала, контролирующим температуру, давление в шинах, готовность подушек безопасности и т.п. (см. рис. 1). Другие примеры применения таких систем можно найти в промышленных системах управления, медицинском оборудовании, авиационных и космических электронных системах и системах управления технологическими процессами. Несмотря на то, что датчики на входе мультиплексора в этих устройствах формируют низкочастотные (почти постоянные) сигналы, необходимость переключения с одного канала на другой требует применения быстродействующего АЦП.

В схеме с мультиплексированными датчиками, приведенной на рисунке 1, следует применять АЦП, который должен иметь несколько каналов, обеспечивать задержку на ноль циклов и малое время ожидания (время установления).

Компания Texas Instruments предлагает различные малощумящие дельта-сигма АЦП высокого разрешения с мультиплексором на входе и задержкой на ноль циклов. Примером такого АЦП компании Texas Instruments может служить 24-разрядный дельта-сигма АЦП [ADS1258](#)¹. Он имеет 16 входов и обе-

спечивает задержку на ноль циклов. Компания Texas Instruments предлагает также модули [ADS1158EVM](#) и [ADS1258EVM](#)² для оценки этих АЦП.

Такая система требует полного установления выходных данных после каждого цикла преобразования. Прежде чем приступить к разработке такой системы, необходимо получить некоторое представление о сигналах, которые нужно оцифровывать. Являются ли эти сигналы постоянными, как, например, в случае использования терморезисторов или термопар? Или это переменные сигналы, например, от двух микрофонов, улавливающих стереофонический сигнал? Или же это сочетание обоих типов сигналов в одной схеме — возможно, в случае, когда в системе нужно осуществлять контроль питающего напряжения при одновременном измерении частоты сети питания?

По определению, время ожидания АЦП подразумевает полное установление данных на выходе при подаче на вход максимального сигнала. Такие условия аналогичны ситуации, когда сигнал подается на АЦП в мультиплек-

сированном режиме. При подаче на вход АЦП сигнала можно выделить задержки двух типов: время ожидания на цикл и время задержки (или время установления).

Число задержанных циклов определяется количеством полных циклов между началом преобразования входного сигнала и появлением соответствующих выходных данных. Единицей измерения задержки этого типа является задержка на n -циклов, где n — целое число. Число задержанных циклов может быть равно нулю, если полное преобразование завершено до начала следующего цикла. Как будет показано ниже, АЦП последовательного приближения (successive approximation register — SAR) способен обеспечить ноль циклов задержки, как и многие дельта-сигма АЦП.

Обычно время задержки (время установления) определяют как время, необходимое для преобразования идеального ступенчатого входного сигнала с допустимой погрешностью в окончательный цифровой выходной сигнал. Допустимую погрешность

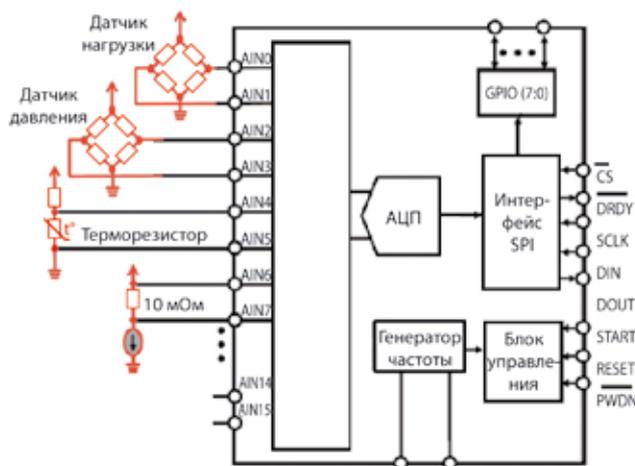


Рис. 1. Пример схемы с мультиплексированием датчиков и различными входными сигналами, в которой используется АЦП с малым временем ожидания

¹Техническую документацию на [ADS1258](#) см. на компакт-диске.

²Руководство пользователя для оценочных плат [ADS1158EVM](#) и [ADS1258EVM](#) см. на компакт-диске.

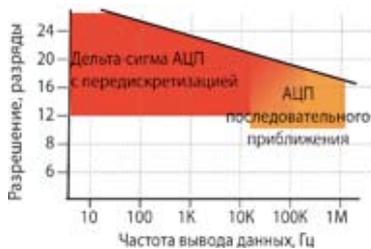


Рис. 2. Дельта-сигма АЦП с передискретизацией используются в приложениях с более высоким разрешением и меньшей рабочей частотой, чем АЦП последовательного приближения

можно задать в процентах от полного перепада входного напряжения. Время задержки преобразования АЦП — это время от начала приёма сигнала до того момента, когда полностью установленные данные на выходе станут доступными для считывания с преобразователя. В отличие от времени ожидания на цикл, время задержки (время установления) никогда не может быть равным нулю.

На рисунке 2 показан график зависимости частоты передачи данных от разрядности для двух разных топологий преобразователя. Как правило, дельта-сигма преобразователи используются для систем с высоким разрешением и низкой скоростью передачи данных. К преимуществам дельта-сигма АЦП относятся низкое энергопотребление, высокое разрешение и высокая стабильность при низкой стоимости. Эти преимущества проявляются, в основном, в цифровой части схемы. К недостаткам преобразователей этого типа относится низкое быстродействие, а также тот факт, что некоторые преобразователи имеют ненулевое число циклов задержки. Дельта-сигма АЦП способны обеспечивать эффективное разрешение от 18 до 31 разряда. Такие характеристики позволяют сократить число микросхем согласования аналоговых сигналов перед его подачей на вход АЦП.

АЦП последовательного приближения используются в системах с умеренным быстродействием и средним разрешением (8...18 разрядов). Их разрешение обычно ниже, чем у

дельта-сигма АЦП, но АЦП последовательного приближения, как правило, работают с более высокой скоростью, чем дельта-сигма АЦП. АЦП последовательного приближения используются во многих приложениях для сбора данных, например, в схемах управления, в системах мониторинга потребляемой мощности, а также для частотного анализа при низких и средних частотах. К преимуществам этих АЦП относятся нулевая задержка циклов и малое время задержки. Это обеспечивается при сохранении высокой статической и динамической точности. По сочетанию разрешения и быстродействия АЦП последовательного приближения занимает нишу правее дельта-сигма АЦП (см. рис. 2), однако в промежуточной области могут использоваться как дельта-сигма АЦП, так и АЦП последовательного приближения.

ДЕЛЬТА-СИГМА АЦП

На рисунке 3 показана базовая блок-схема дельта-сигма АЦП. Модулятор дельта-сигма АЦП подвергает входной сигнал дискретизации с очень высокой частотой. Затем эти дискретизированные данные поступают на цифровой прореживающий фильтр, который преобразует их в точный цифровой сигнал существенно меньшей частоты.

Тогда как большинство преобразователей имеет лишь одну частоту дискретизации, дельта-сигма преобразователь имеет две частоты: частоту дискретизации входных данных и частоту выдачи выходных данных. Для большинства типов АЦП, например АЦП последовательного приближения, частота выдачи данных и частота дискретизации совпадают, так что для каждой входной выборки преобразуется единственный полный код. Для дельта-сигма АЦП создание одного выходного кода производится с использованием нескольких выборок входного сигнала.

На рисунке 3 представлено преобразование аналогового входного сигнала в импульсный сигнал на выходе модулятора. Для этого дельта-сигма модуля-

тор использует устройство квантования входного сигнала (аналого-цифровой преобразователь), работающее с очень высокой частотой дискретизации и создающее постоянный поток 1-разрядных кодов, которые представляют напряжение на входе.

После модулятора включен цифровой прореживающий фильтр. Этот модуль производит фильтрацию и выборку потока 1-разрядных кодов от модулятора. Цифровой прореживающий фильтр принимает сигналы с выхода модулятора. Эти биты принимаются поочередно и усредняются, чтобы получить результат для старшего разряда. Усреднение, в сущности, является одним из видов цифровой фильтрации, но это не единственный способ. Практически все дельта-сигма преобразователи содержат усредняющие фильтры из класса так называемых sinc-фильтров (фильтров нижних частот), получившие своё название по виду частотной характеристики (sinc-функция).

Прореживание — это процесс уменьшения частоты вывода цифрового сигнала с целью сделать её меньше частоты дискретизации. Для этого исключаются некоторые выборки в соответствии с теоремой Найквиста. Следует принять во внимание, что в этом процессе не теряется какая-либо информация. Оказывается, вместо вычисления множества выборок, которые заведомо не будут использоваться, можно сразу же воздержаться от каких-либо вычислений для этих выборок. Прореживающая часть фильтра вычисляет лишь некоторые из выходных выборок.

ЧИСЛО ЦИКЛОВ ЗАДЕРЖКИ ДЕЛЬТА-СИГМА ПРЕОБРАЗОВАТЕЛЯ

Разработчики интегральных схем используют модуляторы и цифровые прореживающие фильтры выше первого порядка, чтобы достичь более высокого эффективного разрешения. На микроуровне многокаскадный цифровой прореживающий фильтр обрабатывает биты модулятора в режиме first-in-first-out (FIFO). На макроуровне каскады цифрового прореживающего фильтра обрабатывают сигнал таким же образом.

К выходным данным можно получить доступ, поскольку каждый каскад фильтра производит их вычисление как комбинации результатов вычислений всех каскадов фильтра на выходе преобразователя. Если текущие и предшествующие результаты преобразования модулятора представляют один и тот же сигнал, то выходные результаты преобразования будут представлять входной сигнал. Если текущие результаты преобразования модулятора получены после переключения мультиплексора, то возможно

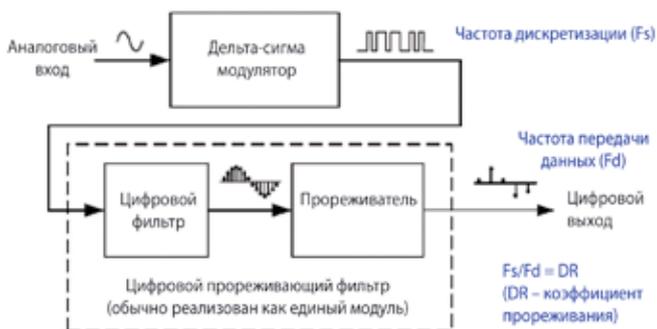
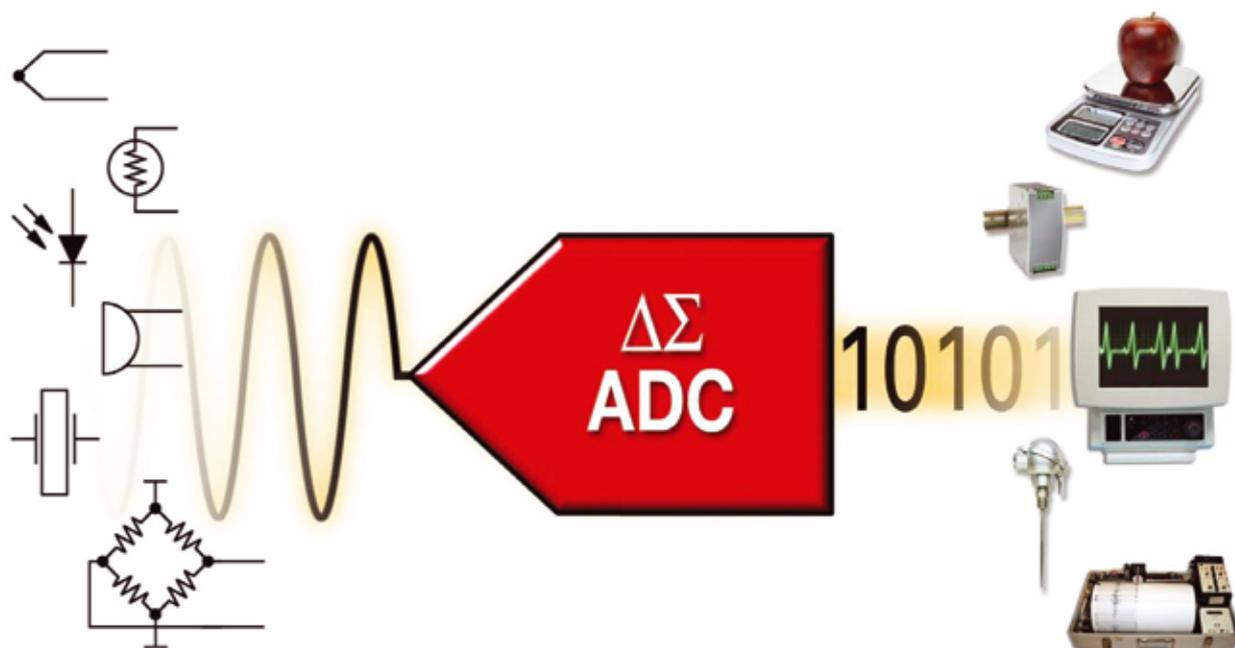


Рис. 3. Базовая блок-схема дельта-сигма АЦП

АЦП для приложений с низким потреблением электроэнергии

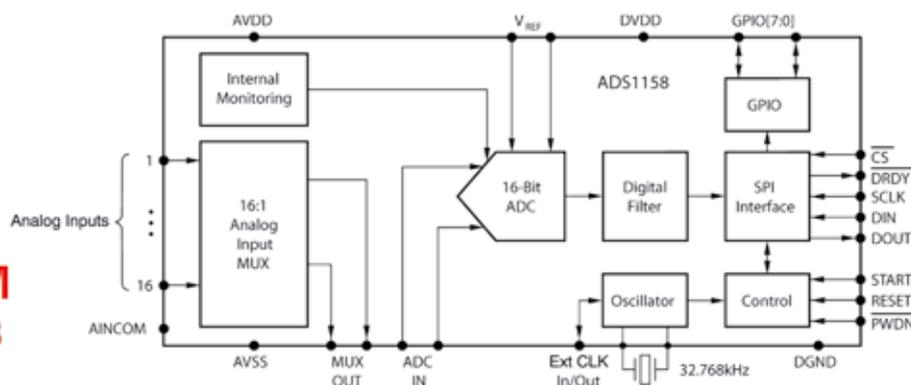


Наименование	Разрешение, разрядов	Частота дискретизации	Количество каналов	Потребление, мВт	Напряжение питания макс., В	Диапазон входного сигнала макс., В	Корпус(а)	Комментарии
ADS1158 NEW	16	125 ksps	16	42	5,5	5, ±2.5	QFN-40	дельта-сигма, SPI-интерфейс, нелинейность 0.0045%
ADS1258	24	125 ksps	16	40	5,5	5, ±2.5	QFN-40	дельта-сигма, SPI-интерфейс, нелинейность 0.0045%
ADS1225/26	24	100 sps	2/4	1.6	5.5	±ИОН	4x4 QFN-16	дельта-сигма, дифференциальный вход
ADS7886/7/8	12/10/8	1 Msps	1	3.9	5.75	$U_{\text{вх}}$	SOT23-6, SC70-6	SAR АЦП, SPI-интерфейс, 71.2 дБ SNR и -84 дБ при 100 кГц
ADS7822	12	75 ksps	1	0.6	3.6	ИОН	MSOP-8	SAR АЦП, SPI, 60 мкВт при 7.5 кГц, 540 мкВт при 75 кГц

 **TEXAS INSTRUMENTS**



Отладочная плата **ADS1258EVM**
подходит для **ADS1158** и **ADS1258**



 **Компэл**

Тел.: (495) 995-0901
Факс: (495) 995-0902

ti@compel.ru
www.compel.ru

 **Компэл СПб**

Тел.: (812) 327-9404
Факс: (812) 327-9403

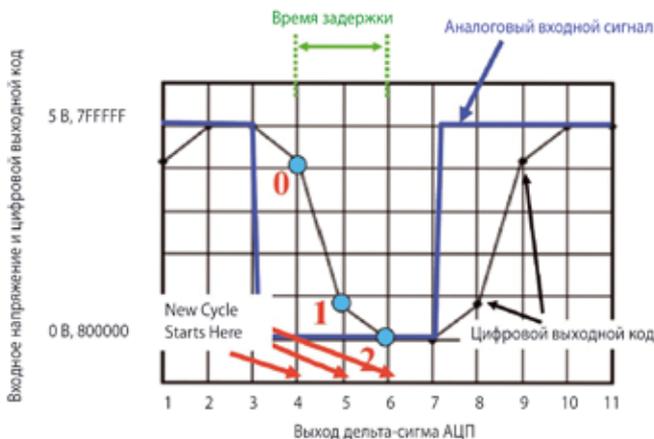


Рис. 4. Выход 24-разрядного дельта-сигма АЦП с цифровым фильтром третьего порядка

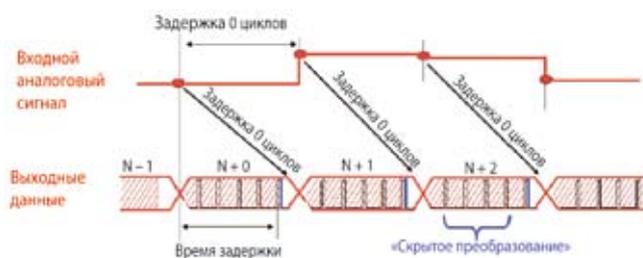


Рис. 5. Выходные данные дельта-сигма АЦП, которые представляют собой комбинацию всех пяти внутренних цифровых прореживающих фильтров. Этот преобразователь имеет задержку ноль циклов

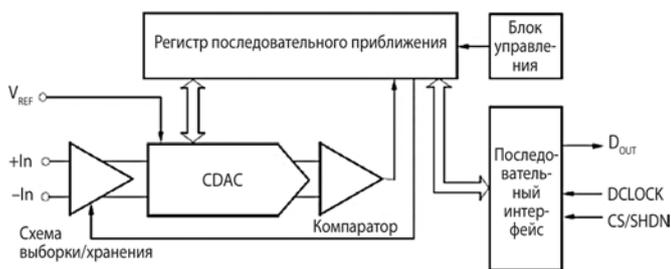


Рис. 6. Базовая блок-схема АЦП последовательного приближения

комбинирование предшествующего мультиплексированного и текущего входного сигнала. Такая комбинация приводит к не полностью установленному выходному сигналу.

На рисунке 4 приведен пример этого типа преобразования. Здесь на выходе дельта-сигма АЦП установлен цифровой прореживающий фильтр третьего порядка. Хотя полностью установленные данные от этого 24-разрядного преобразователя находятся в третьем наборе выходных данных, время ожидания равно всего двум циклам. Это важное отличие двухциклового задержки от трёх результатов для выходных данных лежит в основе определения задержки как числа циклов. Комбинация результатов всех трёх цифровых каскадов присутствует в каждом выходном слове данных.

Первый вывод данных производится перед началом следующего цикла, то есть через ноль циклов. Второй вывод данных — перед завершением второго полного цикла. Полностью установленные выходные данные доступны перед завершением третьего полного цикла, то есть задержка составляет два цикла.

У АЦП с задержкой ноль циклов первые выходные данные полностью установлены. Такой АЦП можно также описать как АЦП со стабилизацией за один цикл или осуществляющий преобразование за один цикл.

Некоторые дельта-сигма преобразователи скрывают промежуточные или неустойчивые выходные результаты от пользователя. На рисунке 5 показаны внутренние промежуточные результаты преобразования

дельта-сигма АЦП с нулевой задержкой. Можно заметить «скрытые преобразования», являющиеся признаком порядка цифрового фильтра в дельта-сигма АЦП. Пользователь никогда не видит результаты этих скрытых преобразований. В данном примере дельта-сигма АЦП имеет встроенный цифровой фильтр пятого порядка.

ЧИСЛО ЦИКЛОВ ЗАДЕРЖКИ АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

Большинство АЦП последовательного приближения являются устройствами с задержкой ноль циклов. В таком АЦП (см. рис. 6) входной сигнал поступает вначале на ключ схемы выборки/хранения. Когда ключ замкнут, сопротивление ключа на входе АЦП последовательного приближения включено последовательно с ёмкостной матрицей. По истечении соответствующего периода времени для получения сигнала входной ключ схемы выборки/хранения размыкается, и начинается преобразование. Через несколько тактовых циклов выходные данные появляются на выводе D_{out} , обычно начиная со старшего значащего бита. Этот преобразователь захватывает отдельную выборку и выводит данные до начала следующих циклов преобразования.

ЗАКЛЮЧЕНИЕ

Как дельта-сигма АЦП, так и АЦП последовательного приближения применяются в приложениях, где характерны медленно изменяющиеся сигналы, поступающие с выхода датчика. Если в системе присутствует несколько датчиков, то предпочтительно использовать преобразователь с мультиплексированным входом. Несмотря на то, что датчики работают на низкой частоте, переключение с канала на канал приводит к необходимости иметь быстродействующий АЦП.

Системы с мультиплексированием датчиков требуют наличия АЦП с задержкой ноль циклов, то есть выдачи данных до начала следующего цикла преобразования. Режимы с нулевой задержкой существуют у многих дельта-сигма АЦП. Эта особенность, наряду с высоким разрешением, делает устройства такого типа очень привлекательными для применений с подобными датчиками.

ЛИТЕРАТУРА

1. *The ABC's of A-D converter latency*, Bonnie Baker <http://www.powermanagementdesignline.com/212400155?jsessionid=XZX3C1T355PREQSNLPSKH0CJUNN2JVN?pgno=1>

ПОЛЕЗНЫЕ ССЫЛКИ

1. [По АЦП компании Texas Instruments.](#)