

# ТЕНДЕНЦИИ РАЗВИТИЯ ВСТРАИВАЕМЫХ МНОГОЯДЕРНЫХ СМК СЛЕДУЮЩЕГО ПОКОЛЕНИЯ

**ФОЗИ БЕМАН (FAWZI BENMANN)**, председатель маркетинговой комиссии, [Power.org](http://Power.org)

*Исходя из общих макротенденций за последние 15 лет развития полупроводниковых технологий, т.е. из повсеместного распространения интернета и установления бесшовной мобильной связи, а также в силу преодоления ограничений, накладываемых законом Мура, участники проекта ITRS (<http://www.itrs.net>) (International Technology Roadmap for Semiconductors — Международный стратегический план развития полупроводниковых технологий) считают, что потребуются новые методы масштабирования и другая функциональность устройств, входящих в состав микросхемы и расположенных вне её.*

Будущие полупроводниковые технологии можно в целом разделить на три категории: «геометрическое масштабирование» в соответствии с законом Мура; «эквивалентное масштабирование» — в ближайшие несколько лет, пока ещё будет действовать закон Мура; «функциональная диверсификация» — технология, которая будет работать по завершению действия закона Мура. Эти технологии окажут значительное влияние на сетевые встраиваемые приложения с новыми архитектурами СМК (SoC), в которых широко применяются такие элементы как многоядерность; иерархия кэша; ФНК (ФНК — фабрика на кристалле, в состав которой входят: контроллер кэш-памяти; ПДП-контроллер; контроллер памяти; контроллер прерывания — прим. ред.); ускоритель для увеличения производительности по запросу (On demand Accelerator Engine, AE); соединительные шины.

Все эти элементы обеспечивают масштабируемое программное многоядерное/с ускорителем решение на базе СМК (Multi-Core/Accelerator Engine SoC, SoC-MC/AE), которое используется в широком ряде приложений от начального до профессионального уровней, поддерживает и расширяет функциональные возможности за счёт новых сервисов.

## ТРИ «КОНЦЕПЦИИ МУРА»

В то время когда действие закона Мура близко к завершению, участники проекта ITRS выдвинули концепцию More Than Moore («После Мура»), которая впервые была опубликована ITRS в 2005 г. Эта идея предусматривает интеграцию немасштабируемой функциональности, которую по большей части можно считать аналоговой функциональностью, включающей также пассивные компоненты, узлы с высоким

напряжением питания для аналоговых компонентов, датчики, приводы и доступ к сетям/системе.

На летней конференции ITRS были сформулированы следующие три «концепции Мура»:

- **Moore (закон Мура)**: геометрическое масштабирование;
- **More of Moore (закон Мура всё ещё работает)**: эквивалентное масштабирование;
- **More Than Moore (после закона Мура)**: функциональная диверсификация.

**Закон Мура** в целом описывает геометрическое масштабирование, т.е. последовательное уменьшение физических размеров элементов встроеной логики и памяти при повышении плотности (стоимость в расчёте на функцию), производительности (скорость, мощность) и надёжности приложений.

Концепция **More of Moore** связана с эквивалентным масштабированием совместно с геометрическим масштабированием и негеометрическими методами техпроцесса, которые влияют на электрические параметры кристалла.

Концепция **More Than Moore** подразумевает реализацию в устройствах функциональности, которая необязательно масштабируется в соответствии с законом Мура, но обеспечивает добавленную стоимость конечному потребителю. Такой подход, как правило, предусматривает нецифровую функциональность (например, радиосвязь, управление энергопотреблением, использование пассивных компонентов, датчиков, приводов, СФ-блоков сторонних фирм) для перехода к решениям на базе системы в корпусе (СвК) или системы на кристалле (СМК).

Набирает силу тенденция повышения функциональности кристалла,

которая не масштабируется в соответствии с законом Мура. Эту тенденцию скорее можно рассматривать как функциональную диверсификацию, а не масштабирование, однако она составляет часть той же технологии.

Сочетание двух первых концепций позволяет создавать СМК и СвК, что скорее создаёт добавленную стоимость системы, чем это происходит при интеграции тех же функций в кристалл.

## ФУНКЦИОНАЛЬНАЯ ДИВЕРСИФИКАЦИЯ В СМК

Сектор по радиокommunikациям ITU-R (International Telecommunications Union — Международный союз электросвязи) в настоящее время изучает возможный спрос на объём трафика систем 2010 г., для того чтобы определить требуемую ширину полосы пропускания для разработки стандартов IMT-2000 (International Mobile Telecommunications — Международная система мобильной связи) и IMT-Advanced.

IMT-2000 являются системами мобильной связи третьего поколения, которые обеспечивают доступ к широкому ряду телекоммуникационных услуг, поддерживаемых сетями фиксированной связи (например, PSTN/ISDN/IP) и к другим сервисам для мобильных пользователей. К числу основных характеристик IMT-2000 относятся следующие:

- возможность применения мультимедийных приложений в широком спектре сервисов и терминалов;
- высокая степень совместимости устройств связи по всему миру;
- совместимость сервисов в пределах стандарта IMT-2000 и фиксированных сетей;
- высокое качество;
- возможность роуминга по всему миру;

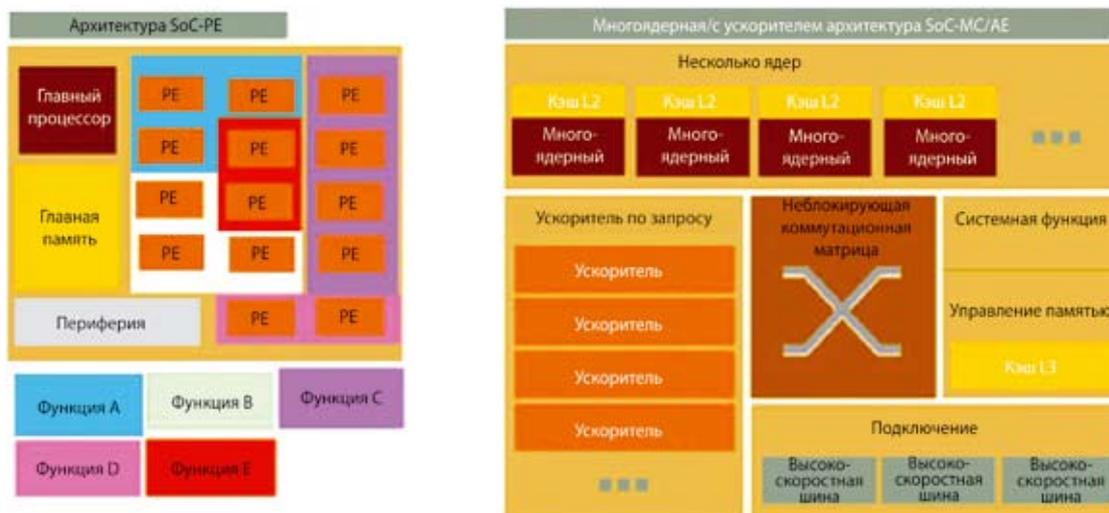


Рис. 1. Образец многоядерной/с ускорителем архитектуры СпК для встраиваемых сетевых приложений

– миниатюрный терминал, используемый во всемирной системе связи.

Ближайшие 5—15 лет будут ознаменованы также

– появлением масштабируемых широкополосных сетей с большим мультимедийным контентом, позволяющих передавать сигнал в любую точку мира, в любое время и на любое устройство;

– появлением рынков, на которых потребители станут играть основную роль в создании богатого мультимедийного контента;

– появлением передовых IP-приложений и сервисов, позволяющих управлять масштабируемыми сетями с широкой полосой пропускания;

– появлением сложных многопроцессорных платформ, использующих многоядерные/многопоточные технологии и ускорители, которые поддерживают передовые приложения и сервисы;

– совершенствованием технологического процесса вплоть до 10 нм;

– появлением масштабируемого шифрования и антивирусных приложений, работающих во всей сети;

– превращением домашней сети в комплексную среду передачи данных и мультимедиа;

– появлением бесшовной мобильной связи дома, в офисе, в дороге.

В противоположность приложениям для настольных компьютеров и серверов, а также из-за существенной разницы между внутренней тактовой частотой процессора и временем ожидания при обращении к памяти и вводе-выводе данных, сегодняшние архитектуры встроенного процессора не в состоянии обеспечить достаточную производительность для реализации описанных выше сценариев вычислений.

Почти каждый серийно выпускаемый встраиваемый процессор общего назначения использует однопоточную архитектуру, чья произво-

дительность и применимость ограничены существующими стандартами. По мере того как приложения становятся всё более сетевыми, устаревшие процессоры перестают удовлетворять современным требованиям к вычислительной производительности.

Развивающаяся пакетно-ориентированная среда характеризуется большим временем ожидания при обращении к памяти, которое с трудом поддаётся управлению с помощью стандартных процессорных архитектур. Этот недостаток оказывает серьёзное влияние на быстроту действия процессора стандартного типа и эффективность управления нагрузкой.

#### АРХИТЕКТУРЫ SOC-PE И SOC-MC/AE

Концепция More of Moore (см. табл. 1) обеспечивает конвергированную/интегрированную гетерогенную платформу (см. рис. 1) для создания масштабируемой интеллектуальной компактной экосистемы с добавленной стоимостью. Реализация платформы PE-SoC на основе масштабирования с использованием третьей концепции становится важной парадигмой будущего.

В начале 2005 г. участники проекта ITRS представили образец архитектуры SoC-PE. Аббревиатура PE означает процессор, выполняющий специфическую

функцию для таких мобильных и беспроводных приложений как смартфоны или цифровые камеры, а также вычисления с высокой производительностью и корпоративные приложения.

В качестве дополнения к этой архитектуре определяется образец многоядерной/с ускорителем архитектуры СпК для работы с сетевыми встроенными элементами, как показано на рисунке 1. Сетевая платформа SoC-MC/AE содержит следующие структурные элементы:

– поддержка нескольких ядер (Multi-Core, MC) для обеспечения высокой скорости обработки данных при потреблении до 30 Вт;

– поддержка трёхуровневой иерархии кэша с тыльными кэшами L2, несколькими общими кэшами L3 и несколькими контроллерами памяти;

– поддержка межпроцессорных соединений с высокой скоростью;

– масштабируемая встроенная ФНК для параллельного неблокирующего аппаратного полностью кэш-синхронизированного платформенного подключения с возможностью масштабирования до 32-х ядер и поддержкой гетерогенных ядер;

– исключение конфликтов на шине и поддержка существенно более широкой полосы пропускания для нескольких ядер;

Таблица 1. Сетевая платформа SoC-MC/AE в соответствии с «классификацией Мура»

Структурные элементы сетевой платформы СпК	Закон Мура	More Moore	More than Moore
	Геометрическое масштабирование	Эквивалентное масштабирование	Функциональная диверсификация
Многоядерность	×		
Иерархия кэша	×		
ФНК		×	
Совместимость — интерфейс NET		×	
Совместимость — периферийный интерфейс		×	
Ускорители по запросу		×	
Гибридное имитационное моделирование			×
Экосистема			×

- ускоритель (АЕ) с более высокой производительностью по сравнению с циклами обработки одного ядра, который позволяет уменьшить энергопотребление и площадь/стоимость кристалла;

- поддержка среды гибридного моделирования, сочетающей точность имитации функций с точностью имитации циклов, для упрощения разработки программного обеспечения, прогноза рабочих параметров и оптимизации;

- доступ к сетям/системам и экосистеме благодаря виртуализации с использованием многоядерной архитектуры оборудования.

Сетевая платформа SoC-MC/AE содержит все необходимые элементы, обеспечивающие масштабируемое программное решение, которое работает с широким рядом приложений от начального до профессионального уровней, поддерживает и расширяет функциональные возможности за счёт новых сервисов.

**Многоядерность.** Предполагается, что частота многоядерных процессоров будет превышать 1 ГГц. Эта платформа обеспечит максимальное число команд, выполняемых за один такт (Instructions-per-Cycle, IPC), и максимальную частоту на 1 Вт/площадь. Несколько ядер также снижают нагрузку на высокопроизводительные ускорители, вызванную повторяющимися и объёмными вычислительными операциями, увеличив число циклов обработки для реализации более высокой мощности или новых сервисов и приложений. Каждое ядро этой платформы будет иметь собственный тыльный кэш L2, причём центральный процессор (ЦП) получит прямой доступ к этому кэшу, обеспечив очень высокую производительность приложений.

Кэш будет соответствовать всему диапазону скорости ЦП, что позволит снизить время задержки более чем на 50% в архитектурах «общая шина/общий кэш». Тыльный кэш L2 также позволит настраивать его содержимое между инструкцией и данными в соответствии с требованиями конкретного приложения, что облегчит разбиение памяти и улучшит

быстродействие за счёт значительного уменьшения простоев ЦП. Кроме того, тыльный кэш L2 уменьшит трафик ФНЧ и основной памяти, что позволит снизить время задержки и увеличить полосу пропускания для других пользователей этой матрицы и системной памяти.

Многопоточность и многопроцессорная обработка тесно связаны друг с другом. Действительно, если мультипроцессоры совместно используют только память или соединение, то многопоточные процессоры помимо этих ресурсов сообщают используют блок выборки команд и логику, а при случае — и другие ресурсы. В одном многопоточном процессоре разные потоки состязаются за слоты и другие ресурсы, что ограничивает возможность параллельной обработки команд. Некоторые «многопоточные» модели программирования и архитектуры назначают новые потоки отдельным процессорам для параллельного исполнения команд.

**Иерархия кэша.** Для преодоления ограничений в отношении существующих процессоров, которые работают в модели общего кэша, новый метод реализует в многоядерной сетевой платформе (МСП) трёхуровневую иерархию кэша. Кэш L1 сохраняется на ядре. Как уже ранее отмечалось, кэш L2 присутствует на ядрах в качестве тыльного кэша, который значительно улучшает быстродействие. Каждое ядро имеет собственный тыльный кэш L2, обеспечивающий следующее:

- совокупную полосу пропускания, которую не в состоянии поддержать один общий кэш;

- снижение времени задержки по отношению к системной шине;

- тыльный кэш обеспечивает настройку политик ядер в соответствии с различными рабочими наборами, что упрощает реализацию требуемой производительности, изоляции, приоритетов и качества обслуживания (QoS);

- выделенный кэш отличается большей автономностью (в сравнении с единым коллективным кэшем) и служит подходящим блоком для управления ресурсами (например,



**АЛЕКСАНДЕР ЭЛЕКТРИК**  
www.aeps-group.ru

**ЭЛЕКТРОННЫЕ ПУСКРЕГУЛИРУЮЩИЕ АППАРАТЫ**

- Низкая стоимость!
- Мощность подключаемой лампы 250...1500 Вт
- Рабочий температурный диапазон -50°C...+85°C
- Полный комплекс защит
- Корректор коэффициента мощности

Воронеж: т/ф: (4732) 519-518  
ALEX@AEDON.VMAIL.RU

Москва: т/ф: (495) 510-64-11  
AEJ@AEDON.RU

Прага: т/ф: +420 266-107-455  
AEPS@AEPS-GROUP.COM



**KERAFOL®**  
Качество из Германии

- Керамические мягкие пленки для отвода тепла
- Теплопроводные пасты для заполнения зазоров
- Клеи, компаунды
- Графитовые, ферритовые пленки

**KERATHERM®**  
Материалы для отвода тепла

**PEOM СПб**®  
Официальный дистрибьютор в России  
ЗАО «PEOM СПб»

Тел./Факс: (812) 327-96-60, 387-55-06, 387-65-64, 387-86-94  
E-mail: reom@reom.ru, Web: www.reomspb.ru  
Россия, 196105, Санкт-Петербург, просп. Ю. Гагарина, д. 1

- Размер элемента от 0402 до QFP32x32 с шагом 0,5 мм
- Максимальный размер платы до 457x300 мм
- Пайка волной на установке Kirsten K5360D
- Отливка плат на установке TriMax



**МЭЛТ**  
ТЕХНОЛОГИИ УСПЕХА

Москва, Андроновское шоссе, 26 • тел./факс: (495) 662-44-14 • http://www.melt.com.ru • E-mail: sales@melt.com.ru



Выходная мощность до **42** Ватт

выходное напряжение  
**5•6•7,5•9•12•15** Вольт

отключением энергии для её экономии).

Однако существует несколько задач, для которых требуется общий кэш, например для связи промежуточных процессоров и работы на общих структурах данных. В этих случаях предлагается использовать мультимегабайтный кэш L3. Этот коллективный кэш с большой полосой пропускания увеличивает коэффициент успеха до максимального значения, одновременно обеспечивая быстрый доступ к памяти при вводе-выводе и для блоков ускорителей.

**ФНК.** Встроенная ФНК работает согласованно с кэшем, обеспечивая синхронный и параллельный доступы. Реализация инновационного тыльного кэша вместе с ФНК позволяет копировать данные, отслеживать вмешательство и полную синхронизацию оборудования. В МСП будет использоваться хорошо масштабируемая модульная ФНК, созданная в результате многих лет исследований. Она обеспечит кэш-синхронизованное параллельное подключение ядер с низкой задержкой.

В отличие от общей шины, являющейся связующей средой между ядрами, памятью и периферийными устройствами, ФНК позволяет снизить проблемы арбитража шины и конкуренцию, с которыми сталкиваются другие многоядерные архитектуры по мере возрастания трафика в системе. ФНК играет роль сетки, позволяющей параллельному трафику поступать в систему и покидать её из любой точки, а не через единственный выход.

Эта масштабируемая ФНК поддерживает групповые полностью синхронизированные операции в каждом цикле и легко адаптируется под большее число ядер. Матрица также поддерживает возможность гетерогенной кластеризации, позволяя использовать целый

ряд микроконтроллеров для решения задач по достижению требуемой мощности и быстродействию и обеспечивая полную синхронизацию между ядрами.

**Подключение.** МСП интегрирует обширное количество сетевых ресурсов и устройств ввода-вывода для поддержки высокопроизводительной архитектуры. Эти ресурсы предоставляют системным интегратором большие возможности по построению масштабируемых систем с большой производительностью.

**Сетевые платформенные интерфейсы SoC-MC/AE и структурные элементы.** Сетевая платформа SoC-MC/AE поддерживает многие интерфейсы, включая RGMII, XGMII и контроллер интерфейса SPI-4.2. К числу дополнительных высокоскоростных интерфейсов относятся PCI-X и последовательный интерфейс RIO.

**Интерфейс для периферийных устройств.** Периферийные устройства и ПЗУ подключаются к МСП через порты интерфейса для периферийных устройств. Эти порты создаются с помощью 32-разрядной шины ввода-вывода и программируемого интерфейса GPIO (General-Purpose Input/Output). МСП оснащена такими стандартными шинами как I<sup>2</sup>C, каждый порт которой состоит из двух двунаправленных шин, а также шин последовательных данных (SD) и последовательной синхронизации (SCLK).

**Ускоритель по запросу.** Ускоритель по запросу предназначен для повышения уровня производительности и гибкости МСП. Общая асинхронная архитектура позволяет снизить время задержки и многозадачной обработки без затраты ресурсов на переключение потоков. Благодаря ускорению достигаются преимущества в производительности по сравнению с использованием

одного ядра, снижаются энергопотребление и занимаемая кристаллом площадь, а, следовательно, и стоимость системы. Технология ускорителя по запросу включает следующие методы:

- сопоставление с образцом для тщательной проверки пакетов и полную обработку содержимого;
- декомпрессию/компрессию для распаковки данных с целью проверки и упаковки для отправления;
- криптозащиту для соблюдения конфиденциальности, целостности и аутентификации;
- справочные таблицы для анализа пакетов и классификации потока;
- управление трактом данных для эффективного размещения ресурсов на кристалле;
- распределение пакетов и управление очередями.

#### СРЕДА ГИБРИДНОГО ИМИТАЦИОННОГО МОДЕЛИРОВАНИЯ

Для сетевой платформы SoC-MC/AE потребуются имитационная модель всей системы — гибридная, сочетающая технологии точного моделирования цикла и функционального моделирования для облегчения разработки программного обеспечения, прогноза производительности системы и оптимизации приложений клиентов для МСП.

Используя среду гибридного моделирования, которая позволяет легко переключаться между моделями функций и циклов, разработчики получают возможность переходить из одной операционной системы (ОС) в другую, от одного промежуточного ПО к другому, а также от приложения к приложению и разделять их на виртуализированной МСП с целью совершенствования, отладки и сравнительного тестирования ещё до реализации системы в кристалле.

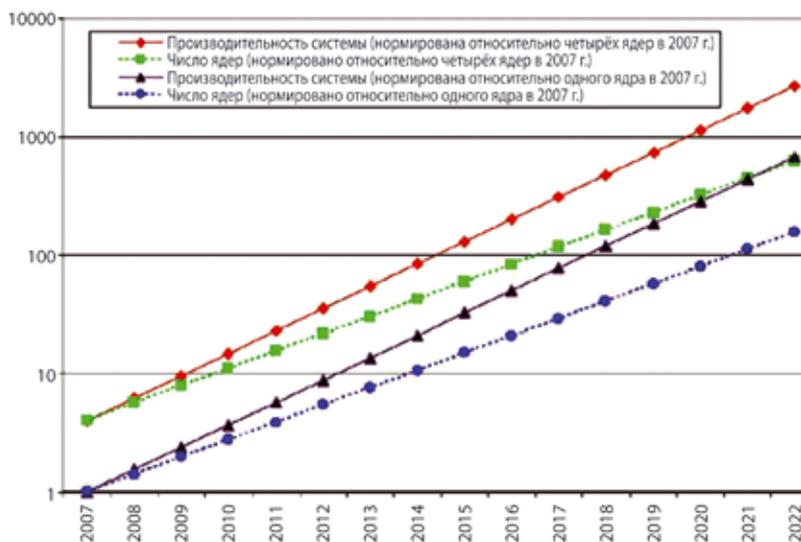


Рис. 2. Два схожих сценария развития многоядерных СНК по мере совершенствования техпроцессов с нормами от 65 до 32 нм и ниже

Эта среда также позволяет легко проводить безопасные эксперименты с разделением, распараллеливанием и оптимизацией систем и приложений. Разработчики программного обеспечения получают возможность проверять свои идеи и настраивать производительность конкретных решений для тех или иных ситуаций без ограничений, накладываемых реальным оборудованием. Этот гибридный симулятор обладает следующими возможностями:

- быстрая функциональная модель для МСП;
- тщательно проработанная модель для имитации циклов для МСП;
- полный пакет с инфраструктурой и средствами разработки ПО, разделения кодов, отладки, определения профиля и визуализации;
- наблюдаемость статуса системы на уровне архитектуры и микроархитектуры, включая кэши и регистры для конвейерной обработки;
- динамический контроль выполнения программ, включая точки прерывания, пошаговое исполнение и выполнение в обратном направлении;
- способность загрузки нескольких ОС.

Главным преимуществом гибридного симулятора является его способность динамически переключаться в прямом и обратном направлениях между высокоскоростным функциональным режимом и более детализированным режимом моделирования цикла. Это позволяет разработчикам ПО быстро загружать ОС, выполнять код в критических точках, а затем переключаться в более подробный режим точной имитации цикла для анализа тех или иных частей программы, не ожидая результатов в течение нескольких дней.

Как платформа разработки для мультаядерных систем гибридный симулятор

предназначен для повышения гибкости системы и проведения экспериментов в бесконтактной среде, т.к. для работы в ОС или приложении не требуется каких-либо измерительных приборов. Разработчики ПО получают возможность сократить время создания приложений для целевой системы, улучшив при этом качество полученного кода.

#### ДОСТУП К ЭКОСИСТЕМЕ МС/АЕ

Разработчикам ПО для сетевых платформ МС/АЕ потребуется потратить значительное время на создание архитектуры программного обеспечения. Использование потенциала многоядерных процессоров приводит к необходимости предусмотреть параллельную обработку. Её реализация может оказаться сложным делом, учитывая долгий путь развития систем на одном ядре, которые по большей части обладают способностью к самосинхронизации.

Сетевые приложения предлагают параллелизм на уровне крупных структурных единиц в виде обработки пакетов, и взаимодействие между каналами передачи данных и узлами управления настолько нарушено, что затрудняется создание дополнительного уровня параллельной организации.

Если явно выраженный параллелизм в таком случае трудно себе представить, ситуация ещё более усложняется, когда требования к потоку данных превышают возможности единственного ЦП, или когда единственное ядро не в состоянии обеспечить необходимую реакцию панели управления. Выравнивание нагрузки и смешанные асимметричные/симметричные многопроцессорные среды на одном и том же устройстве — вопросы, которые призвана решить МСП.

Пока программисты размышляют о том, как распределить задачи, пред-

лагаемые МСП показатели плотности обработки вынуждают разработчиков оборудования подумать о консолидации и перераспределении функций, которые были назначены дискретным ЦП или модулям.

Эти решения будут влиять друг на друга в значительной степени по мере появления новых сервисов и функций системы. Как для программистов, так и разработчиков оборудования существует настоятельная потребность в создании очень гибкого многоядерного процессора, а также в отлаженных механизмах, облегчающих исследование будущих архитектур. В сетевой платформе SoC-МС/АЕ имеются ядра, каждое из которых обладает выделенным (тыльным) кэшем L2. Кроме того, эта платформа оснащается ускорителем по запросу, учитывающим требования конкретного приложения.

Многоядерная платформа не только предназначена для того, чтобы удовлетворить настойчивым требованиям повысить производительность, но и облегчить её использование. Одним из серьёзных препятствий для реализации многоядерной системы в настоящее время является эффективность программирования и отладка. Ниже рассматриваются два наиболее вероятных сценария (см. рис. 2).

#### Сценарий 1. Число ядер и производительность системы нормированы относительно одного ядра в 2007 г.

В этом сценарии производительность 45-нм системы в 3,6 раза превышает этот показатель 65-нм системы при соотношении ядер 3,7/1, соответственно. Аналогично, производительность 32-нм системы в 13,5 раз выше этого показателя для 65-нм системы при соотношении ядер 7,5/1. Из графика видно, что эта зависимость линейна.

#### Сценарий 2. Число ядер и производительность системы нормированы относительно четырёх ядер в 2007 г.

В этом сценарии производительность 45-нм системы в 14,7 раза превышает этот показатель 65-нм системы при соотношении ядер 10,9/4, соответственно. Аналогично, производительность 32-нм системы в 54 раза выше этого показателя для 65-нм системы при соотношении ядер 30/4. Из графика видно, что эта зависимость линейна.

#### ПРЕДПОЛАГАЕМЫЕ ПРЕИМУЩЕСТВА ПЛАТФОРМЫ SOC-МС/АЕ

При создании сетей в недалёком будущем больше не понадобится увеличивать рабочие частоты одноядерных архитектур. Добавление ядер повысит производительность (геометрическое масштабирование). Однако проблемы

с тем, как управлять тепловыделением во встраиваемой системе, гораздо превышают преимущества, достигаемые от повышения производительности при увеличении частоты ЦП. В связи с этим возникает необходимость рассматривать эту проблему с точки зрения развития платформы СпК.

Возможно, разработчики будут бороться за полосу пропускания шины и память, масштабируемость и, что ещё хуже, за неиспользованные циклы обработки из-за недостаточно эффективного программирования. Добавление ускорителей позволит последовательно увеличивать производительность (эквивалентное масштабирование) сетевой платформы SoC-МС/АЕ, но использование этого оборудования потребует ещё больших инвестиций в программное обеспечение и симуляторы (функциональная диверсификация).

Итак, сетевая платформа SoC-МС/АЕ предназначена не только для того, чтобы обеспечить превосходную производительность и энергоэффективность, но и совершить переход на многопроцессорные решения насколько можно быстрее и безболезненнее при поддержке ведущей в отрасли экосистемы. Таким образом, многоядерность, ускоритель и экосистема являются тремя факторами, которые изменяют ландшафт сетей и обеспечат масштабируемую и поддерживаемую производительность для приложений и сервисов следующего поколения.

#### ЛИТЕРАТУРА

1. ITU-R M.1645 «Future Development of IMT-2000 and IMT-Advanced», WG Spectrum, Document 8F revised draft, July 2007.
2. IEEE Communications, «Web Services in Telecommunications», «Orchestration in Web Services and Real-Time Communications», July, 2007 PP. 26—27, 44—50.
3. IEEE Wireless Communications, «New Generation Heterogeneous Mobile Networks», April 2007, PP 2—3.
4. IEEE Wireless Communications, «The Multiple Access Scheme for Wireless Communication», June 2007, PP2—3.
5. IEEE Wireless Communications, «Next Generation CDMA vs OFDMA for 4G Wireless Applications», June 2007, PP 6—7.
6. IEEE Wireless Communications, «IFDMA: A Scheme Combining the advantages of OFDMA and CDMA», June 2007, PP 9—17.
7. Communications News «Enterprise Network Solutions «Are you ready for converged IP?», July 2007 PP40—41.
8. Semiconductor International, «Semicon West 2007», June 2007, PP20.
9. Mobile Enterprise «Connecting Enterprise Solutions to Business Strategy, «Bettering Behavior, Mobile Tools», July, 2007, PP8, 19—25.
10. EE Times, «Freescale CEO: IC growth drivers shifting», July 2, 2007, PP8.
11. IEEE Micro, «Hot Chips 18», March–April, 2007, PP 7—9, «The AMD Opteron Northbridge Architecture», PP 10—21, «The Blackford Northbridge Chipset for the Intel 5000», PP 22–33, «ARM996HS: The First Licensable, Clockless 32-bit Processor core», PP. 58—68.
12. Power Architecture «Cell BE», «Cell Microprocessor», Wikipedia.
13. IEEE Computer Society, «Synergistic Processing in Cell's Multi-core Architecture», 2006, PP10—24.
14. ACM, «Evolution of Low Power Electronics and its Future Applications», ACM, 2003, PP2—5.
15. IEEE Comp Society, «CMOS Scaling for sub-90 nm to sub-10 nm», 2004, PP1—6.
16. IEEE Journal of Solid State, «CMOS Technology» Year 2010 ad Beyond», 1999, PP 357, 366.
17. IEEE «Proceeding of 8th IPFA 2001, «Direction of Silicon Technology from Past to Future», 2001, PP 1—35.
18. ITRS 2005 Publication «Introduction of «More than Moore» concept.
19. ITRS 2007 Summer Working Group Workshop/Public Conference «Work in progress on «more than Moore».
20. Semiconductor International, July 18th ITRS Summer Conference «Panel Focus on «More Than Moore», by Peter Siger, Editor-in-chief.
21. ITRS 2007 System Drivers Publications, Networking Driver «SoC Multicore/Accelerators Platform», Pages 3—5.

Committed to excellence

OS

OSRAM  
Opto Semiconductors

Качество. Гарантировано.  
Rutronik и Osram

OSRAM Opto Semiconductors выводит на рынок новую серию сверхярких светодиодов Diamond Dragon. Серия характеризуется поразительной яркостью и супернизким термическим сопротивлением. Серия Diamond Dragon нацелена на применение в осветительных приборах, а также в габаритных фонарях и противотуманных фарах автомобилей.

RUTRONIK  
EUROPE

Consult | Components | Logistics | Support  
Tel: +7 495 1599255  
www.rutronik.com