

Контроллер DMA процессоров семейства TMS320F28x3x

АЛЕКСЕЙ ПАНТЕЛЕЙЧУК, инженер ЗАО «Компэл», pantel@compel.ru

В предлагаемой статье рассматриваются общие принципы работы контроллера прямого доступа к памяти, его назначение и влияние на производительность системы. В частности, детально рассмотрена работа контроллера DMA процессоров TMS320F2833x — режимы и механизмы работы, особенности, порядок настройки и примеры применения.

DMA (Direct Memory Access — «прямой доступ к памяти» — ПДП) — это механизм максимально быстрого обмена данными между периферийными устройствами и памятью микропроцессора/микроконтроллера без участия ядра процессора (CPU). Его основное назначение — выполнение «рутинной» работы параллельно с основной работой ядра процессора, для которой он, собственно, и проектировался. Такое разделение труда позволяет существенно увеличить производительность системы в целом (а в некоторых системах прирост скорости приложения с использованием DMA возрастает на порядки). А поскольку само ядро разгружается от «лишней» работы, то возникает возможность снижения частоты его тактирования и напряжения питания, что, в свою очередь, повышает экономичность системы. Обычное копирование блока данных из одного места памяти в другое выполняется контроллером DMA значительно быстрее, чем программное (пример: стандартная библиотечная функция в C-компиляторах) и при этом практически не «съедает» процессорного времени.

Упрощенно контроллер DMA можно представить как дополнительный аппаратный блок, размещенный на кристалле микропроцессора. Фактически он является автоматическим устройством, управляемым внешними событиями. В относительно «простых» микропроцессорах контроллер DMA подключен к общей внутренней шине данных, являющейся мостом между всеми периферийными устройствами, внутренней или внешней памятью и ядром. В сложных и более быстродействующих процессорах для контроллера DMA чаще всего отводится отдельная шина или даже отдельная область памяти, что в значительной степени сокращает участие ядра процессора в операциях пересылки данных через DMA. Обычно (в зависимости от конкретного процессора) источниками и приемниками данных могут служить как внутренние периферийные узлы, так и внутренняя/внешняя память, причем в любом сочетании.

Как правило, контроллер DMA имеет несколько идентичных каналов, каждый из которых может быть настроен индивидуально и независимо друг от друга. В одну из задач контроллера DMA входит разделение общих ресурсов для каждого из каналов, в частности шины данных. В некоторых процессорах реализовано несколько шин данных, одна из которых предназначена исключительно для DMA. Помимо равноправного управления в некоторых процессорах доступно приоритетное управление каналами, в этом случае управление общими ресурсами, например, арбитраж шины данных определяется исходя из заранее заданного приоритета канала. Чаще всего число каналов в контроллере DMA кратно двум. Такая особенность объясняется просто: данные обычно передаются в обе стороны, то есть используется двунаправленная передача. Например, обмен по последовательному порту (USART, USB, SPI) с внешним устройством, микросхемой на плате или компьютером.

Любой контроллер DMA включает также узел управления прерываниями. Вместо его описания стоит при-

вести один классический пример, касающийся приема непрерывного высокоскоростного потока байт данных по последовательному порту. Если в выбранном процессоре отсутствует контроллер DMA, то после приема очередного байта всякий раз необходима обработка прерывания, требующая некоторого процессорного времени (при использовании в составе ПО операционной системы это время еще более возрастает). Все это будет работать до тех пор, пока хватает производительности ядра процессора. Но может возникнуть такая ситуация, что скорость потока поступающих данных как минимум сравняется и даже превысит скорость обработки этих данных (обычно она определяется максимальным суммарным временем входа в прерывание, временем предварительной обработки данных и временем выхода из прерывания). В этом случае придется либо увеличивать производительность процессора путем увеличения его тактовой частоты, либо вовсе заменить его на более подходящий (что, впрочем, следовало бы сделать заранее).

Наилучшим выходом из данной ситуации (на взгляд автора) явилось бы применение процессора со встроенным контроллером DMA. К тому же, это обойдется дешевле, чем наращивание мощности ядра процессора. В этом случае программисту без особого труда удастся значительно сократить само количество прерываний, возникающих либо после приема всего объема данных, либо после приема некоторых равных пакетов. Более того, данные к этому моменту уже были бы размещены в заранее заданной области памяти.

TMS320F28X3X: КРАТКИЙ ОБЗОР

Прежде чем перейти к конкретному описанию контроллера DMA, имеет смысл сделать краткий обзор самого семейства TMS320F28x3x (см. табл. 1). Семейство DSP-процессоров TMS320F28x3x является одним из самых популярных семейств 32-разрядных процессоров со встроенным ядром обработки данных с плавающей запятой (www.ti.com) — FPU (Floating Point Unit). Благодаря большому объему встроенной флэш-памяти (до 512 Кбайт), статического ОЗУ (до 68 Кбайт) и богатому разнообразию самых распространенных периферийных узлов этот процессор следует называть DSP-микроконтроллером или, пользуясь современной терминологией, — DSC (Digital Signal Controller). Впрочем, от названия суть не меняется: область применения TMS320F28x3x распространяется от бытовых устройств до высокопроизводительной медицинской и промышленной аппаратуры. Более того, благодаря дополнительным возможностям по управлению собственным потреблением на основе этих процессоров можно так же успешно строить изделия с батарейным питанием.

ОСНОВНЫЕ ВОЗМОЖНОСТИ КОНТРОЛЛЕРА DMA:

– шесть независимых каналов с индивидуальными блоками обработки прерываний;

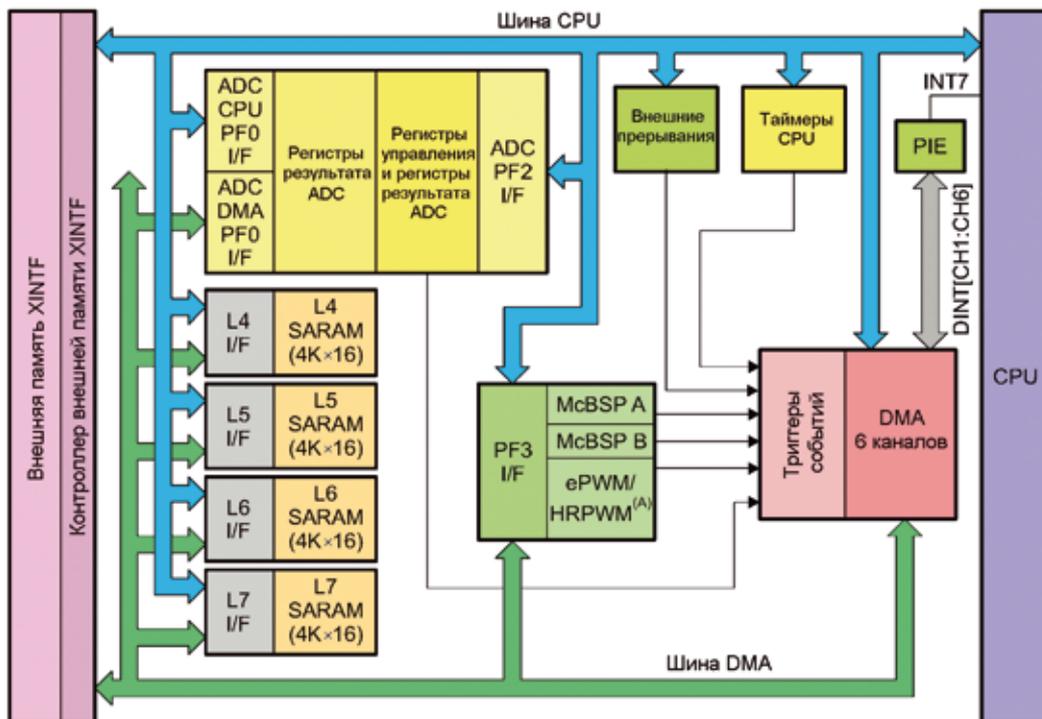


Рис. 1. Структурная схема контроллера DMA процессоров семейства TMS320F28x3x

- источники поддерживаемых прерываний:
 - АЦП,
 - многоканальные буферизированные последовательные порты McBSP-A и McBSP-B,
 - внешние прерывания от портов ввода/вывода XINT1-7, XINT13,
 - таймеры CPU,
 - ШИМ-контроллер,
 - программные прерывания;
- источники и приемники данных:
 - ОЗУ — SARAM (четыре секции из восьми доступных — L4...L7),
 - внешняя память — XINTF (только области 0, 6 и 7),
 - область регистров результатов АЦП,
 - буферы приема/передачи McBSP-A и McBSP-B,
 - регистры управления ШИМ-контроллером;
- 16/32-битные слова данных (для McBSP — только 16-битные);
 - передача целыми блоками или пакетами одинакового размера (для каждого канала настраивается индивидуально);
 - быстрое время прохождения одного слова данных — 4 такта CPU (5 тактов при чтении их McBSP);
 - гибкое управление адресацией, позволяющее организовать размещение данных по особому принципу (например, данные с разных каналов АЦП размещаются не линейно друг за другом, а в определенном порядке чередования, что может быть удобным при их дальнейшей обработке);

- полностью настраиваемые каналы, что позволяет реализовать даже «экзотические» режимы работы DMA;
- аппаратный и программный сброс;
- сигнализация ошибок в работе ядра процессора;
- возможность выбора момента возникновения прерывания: либо в конце передачи, либо в начале следующей.

TMS320F28X3X: КОНТРОЛЛЕР DMA

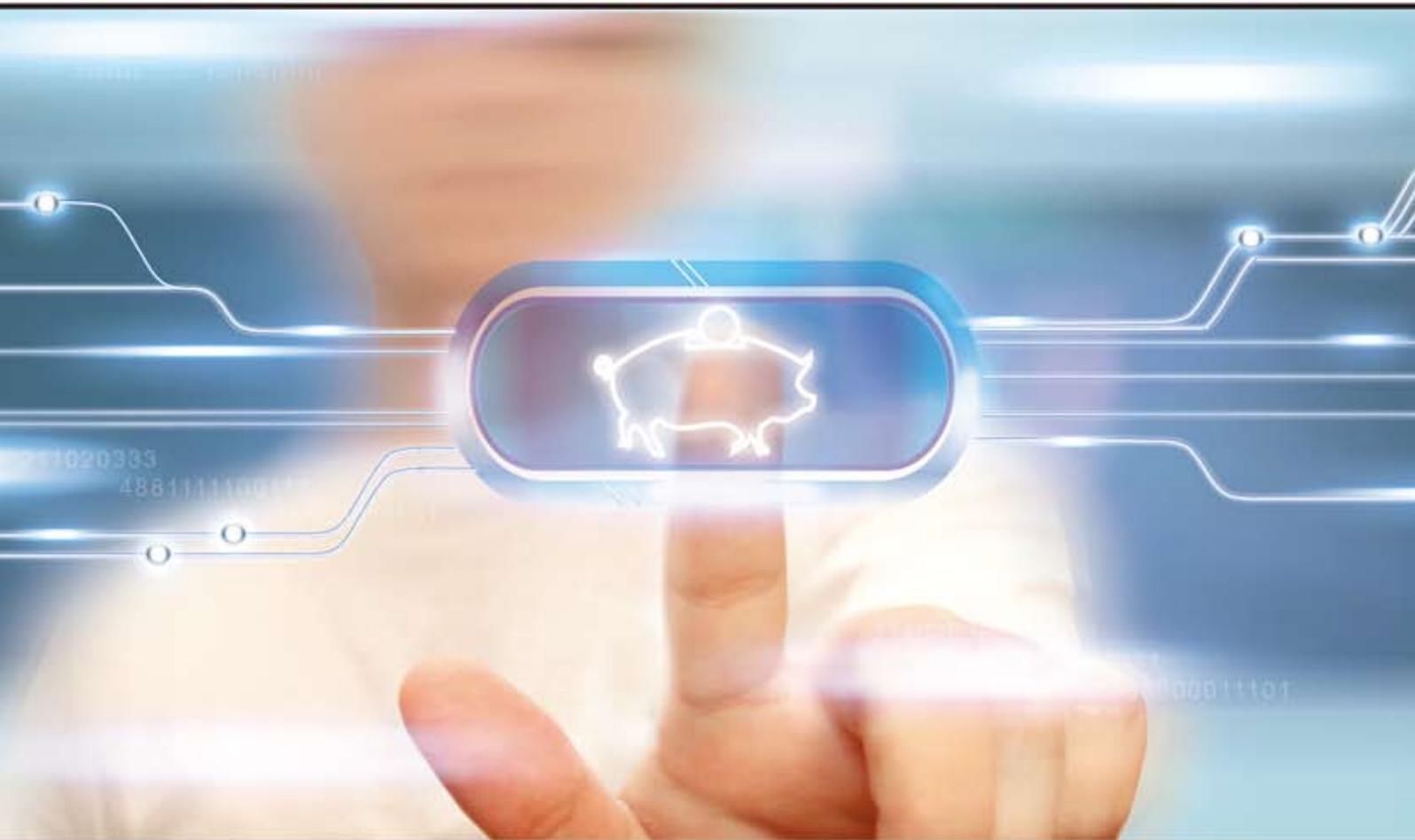
Основа контроллера DMA — автомат состояний, управляемый внешними событиями, и сложная, но эффективная схема управления адресацией. Это означает, что для запуска процесса передачи требуется, чтобы возникло прерывание от внутренних периферийных узлов или ядра. Для каждого из шести каналов DMA отведен свой регистр управления прерываниями. Это позволяет ядру процессора однозначно определять, какой именно из каналов начал или уже закончил передачу. Передача для каждого из каналов организуется для блока данных, размер которого может достигать 65536 равных пакетов. Каждый пакет может содержать до 32 слов, каждое слово может быть 16- или 32-разрядным. Размер слова данных, пакета и блока для каждого канала настраивается индивидуально. Таким образом, максимальный размер блока данных может достигать 8 Мбайт включительно, а минимальный — 2 байта.

Шина данных. Контроллер DMA в TMS320F28x3x имеет собственную 32-битную шину для обмена данными со встроенной SARAM-памятью, внешней памятью XINTF и периферией (см. рис. 1), что позволяет избежать «борьбы»

Таблица 1. Краткие характеристики DSP-процессоров семейства TMS320F2833x

Наименование	Частота, МГц	FPU	Число каналов DMA	Флэш-память, Кбайт	ОЗУ, Кбайт	OTP ROM, Кбайт	McBSP	Внешняя шина 32/16 бит	12-битный АЦП, число каналов	Время преобразования АЦП, нс	ШИМ, число каналов	CAP/QEP	i°C	UART	SPI	CAN	GPIO	Диапазон рабочей температуры, °C	Корпус
TMS320F28232	100	-	16	128	52	2	1	+	16	80	16	4/2	1	2	1	2	88	-40...125	LQFP-176, BGA-176, BGA-179
TMS320F28234	150	-	16	256	68	2	2	+	16	80	18	6/2	1	3	1	2	88		
TMS320F28235	150	-	16	512	68	2	2	+	16	80	18	6/2	1	3	1	2	88		
TMS320F28332	100	+	16	128	52	2	1	+	16	80	16	4/2	1	2	1	2	88		
TMS320F28334	150	+	16	256	68	2	2	+	16	80	18	6/2	1	3	1	2	88		
TMS320F28335	150	+	16	512	68	2	2	+	16	80	18	6/2	1	3	1	2	88		

ТЕХНОЛОГИИ ЭНЕРГОСБЕРЕЖЕНИЯ



ШИМ-КОНТРОЛЛЕРЫ ДЛЯ ИСТОЧНИКОВ ПИТАНИЯ

Наименование	Количество ШИМ-выходов	Частота, кГц	Способ управления	Топология	Температурный диапазон, °С
UCC28600	1	130	Ток	Обратноходовой	-40...105
UCC2895	4	1000	Ток, напряжение	Мостовой	-40...85
UCC3895	4	1000	Ток, напряжение	Повышающий, Понижающий, Мостовой	0...70
UCC28C44	1	1000	Ток	Повышающий, Обратноходовой, Прямоходовой	-40...85
UCC38C44	1	1000	Ток	Повышающий, Понижающий, Обратноходовой, Прямоходовой	0...70
UCC35701	1	700	Напряжение	Повышающий, Понижающий, Обратноходовой, Прямоходовой	0...70

UCC28600 - ШИМ-контроллер с улучшенными энергетическими характеристиками, удовлетворяющими условиям энергосбережения, принятым во всем мире. UCC28600 работает в широком диапазоне токов нагрузки, управляет корректором коэффициента мощности. Низкое потребление мощности в режиме холостого хода - 150 мВт. Контроль тока и температуры в каждом цикле.



Тел.: (495) 995-0901
Факс: (495) 995-0902

ti@compel.ru
www.compel.ru



Тел.: (812) 327-9404
Факс: (812) 327-9403

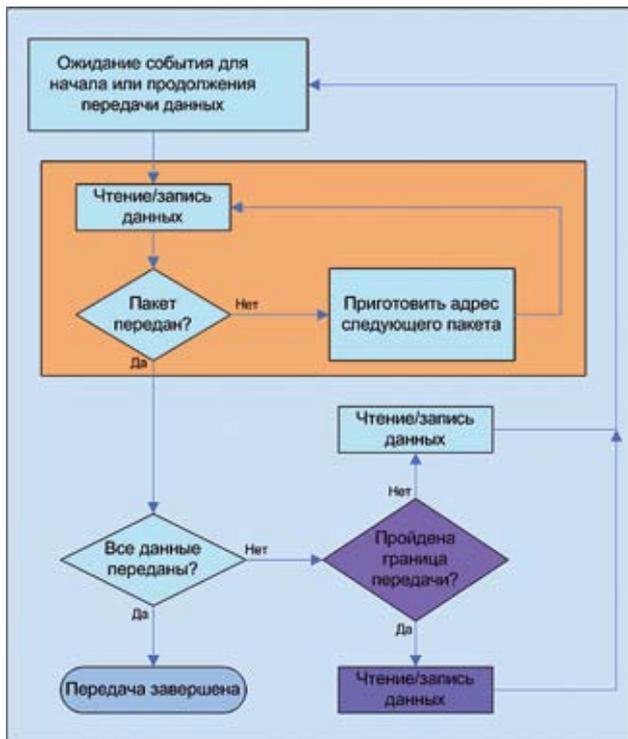


Рис. 2. Упрощенная блок-схема функционирования контроллера DMA на примере одного канала

за шину данных со CPU (в более простых микроконтроллерах шина данных ядра процессора и DMA обычно является общей). Впрочем, «борьба» за саму периферию или внешнюю память сохраняется, исключая память SARAM, которая является двухпортовой.

Скорость работы — это, пожалуй, одна из главных характеристик контроллера DMA, поскольку выражается она в конкретных цифрах, «привязанных» к реальному времени. В процессорах TMS320F28x3x на передачу одного слова данных требуется 4 такта системной тактовой частоты, причем, независимо от разрядности слова. Помимо этого на передачу одного пакета данных дополнительно требуется один такт.

Пример 1: передача 128 16-битных слов из внутреннего АЦП в память. В этом случае весь блок данных удобно разбить, например, на 8 пакетов, в каждом из которых по 16 слов. Тогда на передачу такого блока данных потребуется $8 \times (4 \text{ такта/слово} \times 16 \text{ слов/пакет} + 1) = 520$ тактов. На тактовой частоте 150 МГц это займет 3,5 мкс.

Пример 2: передача 8 кб данных в 32-битном режиме из внешней памяти во внутреннюю память SARAM. В этом случае весь блок данных удобно разбить на 64 пакета, в каждом из которых по 32 слова. Тогда на передачу такого блока данных потребуется $64 \times (4 \text{ такта/слово} \times 32 \text{ слов/пакет} + 1) = 8256$ тактов. На тактовой частоте 150 МГц это займет 55 мкс.

Приоритеты каналов. В каждый момент времени передача данных разрешена только для одного из шести каналов. Порядок обслуживания каналов следующий: CH1→CH2→CH3→CH4→CH5→CH6→CH1→CH2→ и т.д. — это так называемый «карусельный» механизм работы (Round-Robin). Если готовые к обслуживанию каналы отсутствуют, то контроллер DMA переводится в режим ожидания, из которого выходит, всегда начиная с обслуживания канала CH1.

Существует и другая схема обслуживания каналов — приоритетная. В этом случае канал CH1 имеет высокий приоритет и всегда обслуживается в первую очередь,

независимо от готовности других каналов. Более того, в случаях, когда происходит обслуживание любого из каналов 2—6 и возникает готовность канала CH1, обслуживание текущего канала прерывается и передается каналу CH1 (передача текущего пакета данных не прерывается до его завершения). При такой схеме построения канал CH1 наиболее выгодно использовать для работы со встроенным модулем АЦП, но ничто не мешает это сделать для любого другого периферийного узла или памяти (разумеется, речь идет о тех узлах и областях памяти, где возможна работа DMA).

Управление передачей. Как было сказано выше, передаваемый блок данных дробится на пакеты равного размера. Автомат состояний контроллера DMA для каждого канала упрощенно состоит из двух вложенных циклов: внутреннего и внешнего (см. рис. 2). Внутренний цикл обеспечивает передачу слов данных (word) в пределах одного пакета (burst). Внешний цикл, в свою очередь, заботится о передаче целых пакетов.

Прерывание от любого канала может быть настроено таким образом, что будет возникать либо по окончании передачи всего блока данных, либо в начале его передачи. Второй режим удобно использовать для организации так называемых переключаемых буферов (ping-pong), обычно используемых для непрерывной передачи данных с их одновременной обработкой.

В случае, если в работе одновременно находится более одного DMA-канала, появляется возможность выбора метода передачи данных: монопольного или кооперативного. По умолчанию (после сброса) для всех каналов устанавливается кооперативный режим работы. Это означает, что по окончании передачи пакета данных для текущего канала управление передается следующему каналу (в соответствии с выбранной схемой управления приоритетом, как об этом говорилось выше), готовому к передаче, независимо от того, есть ли у отложенного канала данные для продолжения передачи или нет. Это позволяет равномерно распределить ресурсы контроллера DMA между всеми ожидающими своей очереди каналами (кроме канала CH1 в приоритетном режиме работы).

В режиме монопольного управления ситуация противоположная: ни один из каналов не получит доступа к DMA до тех пор, пока текущий канал не закончит уже начатую передачу. Использовать этот режим следует с особой осторожностью, особенно для больших блоков данных.

Указатели. Каждый канал имеет независимые друг от друга теневые регистры указателей на память, как для источника данных SRC_ADDR, так и для приемника DST_ADDR. В начале каждой передачи содержимое этих регистров копируется в соответствующие рабочие регистры. Регистры SRC_BURST_STEP и DST_BURST_STEP определяют число со знаком, которое складывается с соответствующим рабочим регистром-указателем после передачи очередного слова в цикле передачи пакета. А в цикле целого блока данных значения, которые складываются с текущими регистрами-указателями, зависят от режима управления. Одновременно может функционировать только один из этих режимов.

Первый режим (по умолчанию) предполагает, что по завершении передачи всего блока данных к текущему указателю добавляется со знаком смещение в словах (SRC_TRANSFER_STEP — для источника данных; DST_TRANSFER_STEP — для приемника данных).

Второй режим — режим использования граничных регистров: по окончании передачи всего блока данных в текущие регистры-указатели копируется содержимое соответствующих регистров SRC/DST_WRAP_SIZE. Регистры SRC/

DST_BEG_ADDR имеют то же назначение, что и регистры SRC/DST_ADDR.

После передачи всех пакетов в блоке данных актуальны два способа использования регистров SRC/DST_BEG_ADDR. Первый — содержимое этих регистров модифицируется на величину SRC/DST_WRAP_STEP; второй — содержимое SRC/DST_BEG_ADDR копируется в регистры SRC/DST_ADDR. В дополнение к этому регистры-счетчики переходов границ SRC/DST_WRAP_COUNT загружаются новыми значениями из SRC/DST_WRAP_SIZE. Таким образом, за одну передачу появляется возможность организации копирования данных из одной области данных в другие одинаковые области, но имеющие различное размещение.

Обработка ошибок, реализованная в контроллере DMA процессоров TMS320F28x3x, позволяет не только зафиксировать попытку передачи очередного слова данных от периферийного устройства, если передача предыдущего слова еще не завершена, но и вызвать соответствующее прерывание (если разрешено).

В заключение вместо пафосных слов о возможностях процессоров TMS320F28x3x хотелось бы отметить уникальную и вместе с тем простую идею, которая лежит в основе работы контроллера DMA этого семейства процессоров: здесь «все как на ладони». Другими словами, программисту предоставлена полная свобода в реализации самых экзотических и эффективных в плане производительности решений по передаче данных средствами встроенного контроллера DMA.

Приобрести продукцию компании Texas Instruments, получить дополнительную информацию можно в компании «Компэл» (www.compel.ru) по телефонам (495) 995-0901/ (812) 327-9404 или по эл. почте ti@compel.ru.

ИСТОЧНИКИ

Материалы сайтов:

1. <http://www.ti.com/lit/gpr/tms320f28332>.

2. <http://focus.ti.com/general/docs/techdocsabstract.tsp?abstractName=spru566f>.

НОВОСТИ БЕСПРОВОДНЫХ ТЕХНОЛОГИЙ

| ПРОВЕРЬТЕ СВОИ ЗНАНИЯ — СДАЙТЕ ЭКЗАМЕН IEEE! | Общество связи Института инженеров по электротехнике и электронике (IEEE) открыло веб-сайт, предназначенный для ознакомления с недавно появившейся программой аттестации по беспроводным технологиям. Основная цель программы Wireless Communications Engineering Technologies (WCET) — помочь работодателям в поиске квалифицированного персонала.

Эта программа адресована также инженерам, желающим работать в сфере беспроводных технологий; студентам-старшекурсникам; специалистам, хорошо разбирающимся в этом предмете, но не имеющим университетских дипломов. Первая возможность сдать экзамен будет предоставлена с 22 сентября по 10 октября 2008 г.

Плата за экзамен составляет 500 долл. Членам IEEE предоставляется скидка в 50 долл. На экзамене проверяются знания и умение решать практические задачи. Кроме того, соискатель должен ответить на общие вопросы по IEEE- и другим беспроводным стандартам беспроводной связи, например WiMAX, Wi-Fi, ZigBee, Bluetooth, UWB. В отличие от аттестационных экзаменов, которые устраивают такие корпорации как Microsoft и Cisco Systems, этот тест не ориентирован на проверку знаний о продукции конкретной компании.

Адрес веб-сайта — www.ieee-wcet.org. К числу тем сайта, по которым экзаменуется соискатель, относятся следующие:

- ВЧ-проектирование, распространение радиоволн и антенны;
- технологии беспроводного доступа;
- сетевая и вспомогательная архитектуры;
- управление сетями и безопасность;
- инфраструктура ресурсов;
- соглашения, стандарты, политики и правила;
- фундаментальные знания.

На веб-сайте IEEE WCET в ближайшее время появится загружаемая копия подготовительного курса Wireless Engineering Body of Knowledge (WEBOK), а также возможность сдать тренировочный экзамен.

www.wirelessnetdesignline.com

| INTEL СОЗДАЕТ БЕСПРОВОДНОЙ БУМАЖНИК ДЛЯ ЭЛЕКТРОННОЙ НАЛИЧНОСТИ | На Форуме Intel Developers Forum в Сан-Франциско были представлены технологии цифровых денег, начиная от смарт-карт и заканчивая электронными бумажниками. Исследовательская группа People and Practices Research компании Intel последний год занималась разработкой электронной инфраструктуры, необходимой для поддержки нового поколения электронных беспроводных бумажников. Одной из задач разработчиков является устранить помехи, возникающие в результате ничем не сдерживаемого разрастания форматов цифровых денег.

Цифровая наличность возникла с появлением смарт-карт, которыми распорядились вендоры для проведения сделок. В дальнейшем эта идея распространилась и на нетрадиционные валюты — от начисления бонусных баллов за пользование самолетами определенной компании до кредитов PayPal. Разработчики Intel изучают различные формы расчетов электронными деньгами, чтобы с помощью технологии беспроводных бумажников ускорить сделки.

Проект «Персональные электронные деньги» позволит изучить потенциальные ловушки для расчетов с электронной наличностью, а также найти новые способы ее применения. Разработчики Intel исследуют возможности использования электронных денег там, где эта технология получила повсеместное распространение. В Японии пассажиры метро, проходя через турникеты, пользуются беспроводными смарт-картами, с которых автоматически списывается стоимость проезда. В Китае набирающий обороты игровой бизнес потребовал собственную электронную валюту. В Кении наличность можно передать по беспроводной связи, установленной между двумя мобильными телефонами.

Проект Intel намечается завершить в следующем году — к тому времени будет подготовлена оптимальная электронная инфраструктура для беспроводных бумажников.

www.eetimes.com