

ИНСТИТУТ ПРОЕКТИРОВАНИЯ ПРИБОРОВ И СИСТЕМ (УНИВЕРСИТЕТ CADENCE): КАЧЕСТВО, СТАБИЛЬНОСТЬ, БУДУЩЕЕ

ВЛАДИМИР ЛОСЕВ, к.т.н., доцент, МИЭТ

АЛЕКСЕЙ КОМКОВ, генеральный директор российского представительства Cadence

МИХАИЛ ПУТЯ, д.т.н., декан факультета ЭКТ, МИЭТ

ЮРИЙ ЧАПЛЫГИН, д.т.н., член. корр. РАН, ректор Института проектирования приборов и систем (ИППС)

Вот уже 7 лет в Институте проектирования приборов и систем (ИППС) МИЭТ ведется подготовка специалистов для нужд микроэлектроники. В статье освещается современное состояние ИППС, планы Института, а также приводятся сведения о программных продуктах компании Cadence и их роли в учебном процессе Института. Современные САПР отличаются чрезвычайной сложностью, интеграцией и функциональностью. Эффективное освоение таких САПР как Cadence возможно только на базе специализированных учебно-научных комплексов, незамедлительно реагирующих на развитие средств САПР и микроэлектроники в целом.

Современный подход к проектированию ИС заключается в широком использовании систем автоматизированного проектирования. Успехи микроэлектроники в значительной степени обусловлены возможностями имеющихся САПР ИС. Эти возможности должны соответствовать достигнутому уровню технологии изготовления БИС и обеспечивать сохранение материальных и временных ресурсов на проектирование БИС в приемлемых пределах, несмотря на рост сложности проектируемых изделий. В связи с этим перед специалистами стоит задача постоянного совершенствования всех видов обеспечения САПР ИС: методического, технического, математического, лингвистического, программного, информационного и организационного, а перед проектировщиками микроэлектронных и электронных изделий стоит задача освоения новых версий САПР, в которых учтены современные подходы к проектированию и поддерживаются новые техпроцессы.

Для успешного владения современными САПР требуются годы учебной и практической деятельности в различных областях (этапах) проектирования ИС. Пройти этот путь в максимально короткие сроки с наибольшим эффектом возможно только на базе высокотехнологичных учебно-научных центров, напрямую сотрудничающих с передовыми компаниями-производителями микроэлектронной продукции. В число таких центров подготовки входит Институт проектирования приборов и систем (ИППС).

Российско-американский Институт ППС создан как структурное подразделение Университета МИЭТ в 2002 г. Это результат совместного образовательного проекта между МИЭТ, компанией Cadence Design Systems (США) и фирмой Mirantis (США-Россия).

Институт Cadence — единственный образовательный центр такого рода на территории СНГ. Компания Cadence Design Systems предоставила вычислительные мощности и полную версию своего новейшего программного обеспечения рыночной стоимостью в десятки миллионов долларов, а специалисты компании провели анализ всех курсов на предмет соответствия современным требованиям, стоящим перед проектировщиками.

Отбор кандидатов для обучения в Институте проводится по конкурсу. Институт осуществляет реализацию всех уровней высшего профессионального образования. В процессе обучения магистры изучают операционные системы Sun-Solaris/Unix, языки проектирования VERILOG, VERILOG-A, SKILL, спецразделы математики и физики приборов, ряд специализированных курсов по проектированию ИС смешанного сигнала. Важнейшей составной частью процесса элитной подготовки специалистов в ИППС является производственная практика на ведущих предприятиях отрасли.

Ключевые направления современной микроэлектроники — это сложность, стоимость и технология. Согласно рисунку 1 стоимость конечного изделия

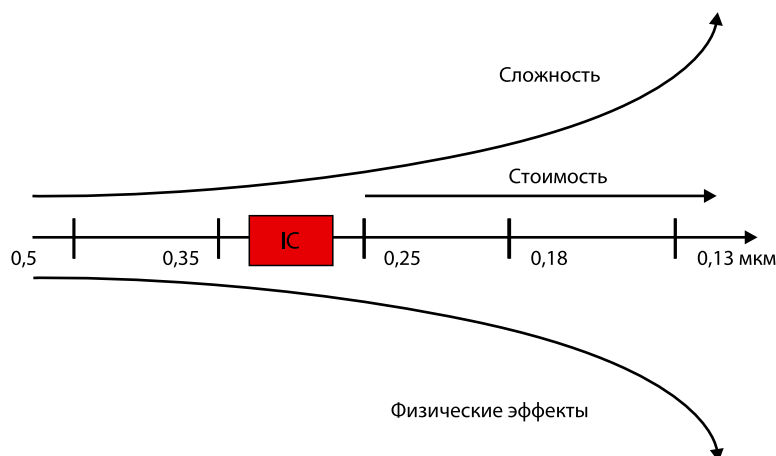


Рис. 1. Ключевые направляющие современной микроэлектроники

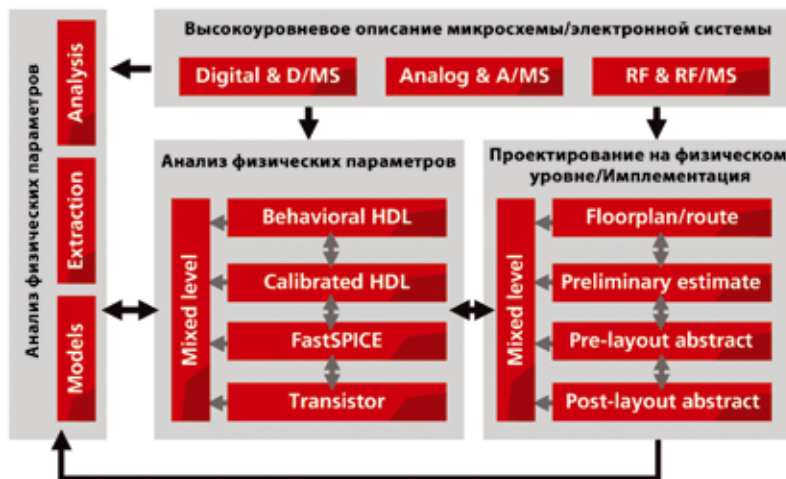


Рис. 2. Структурная организация программного обеспечения



Рис. 3. Платформа схемотехнического и физико-топологического проектирования

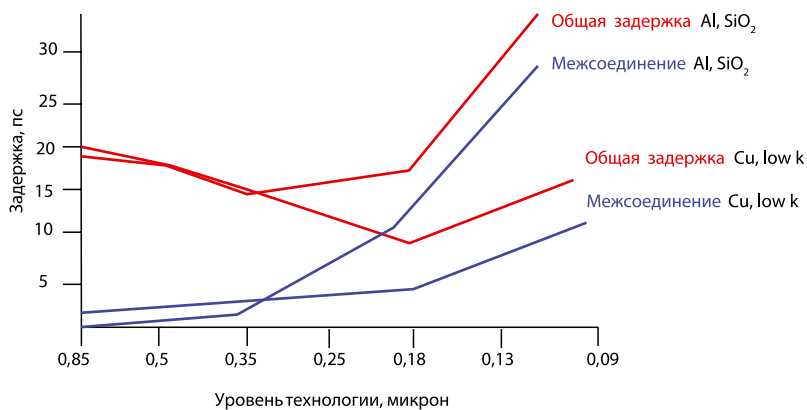


Рис. 4. Задержка на межсоединениях

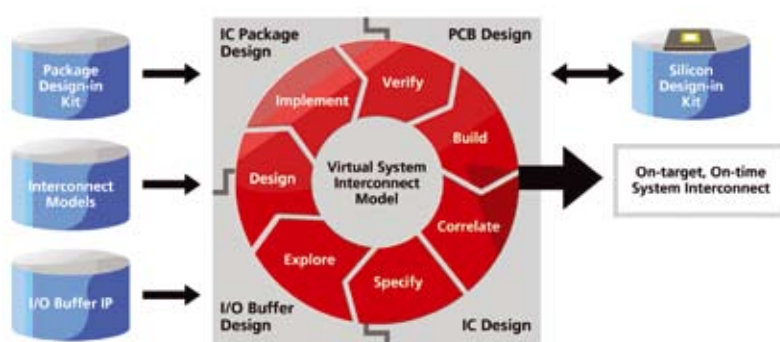


Рис. 5. Виртуальная модель межсоединений

не должна сильно увеличиваться, хотя с ростом уровня технологии наблюдается экспоненциальный рост сложности изделий и технологических процессов.

Исторически существует два подхода к проектированию ИС: восходящий и нисходящий. На текущий момент невозможно провести проектные работы, пользуясь каким-нибудь одним подходом, так как по отдельности эти подходы приводят к долгим срокам выхода продукции на рынок (time-to-market). Восходящий подход обладает высокой степенью точности проектирования и низкой скоростью верификации, нисходящий — высокой скоростью проектирования. Симбиоз этих подходов дает новый подход, в котором сочетаются преимущества двух предыдущих. Таким образом можно нейтрализовать проблему, представленную на рисунке 1. Возрастающая сложность проектов требует наличия быстрой платформы функционально-логического проектирования, а возрастающая сложность технологии (физические эффекты) требует наличия быстрой платформы схемотехнического и физико-топологического проектирования.

Для успешной реализации нового подхода требуется специальная организация программного обеспечения. Структурная схема такой организации в программных продуктах компании Cadence приведена на рисунке 2, а схема организации платформы схемотехнического и физико-топологического проектирования показана на рисунке 3.

Одним из основных факторов, ограничивающих частотные характеристики ИС, является доминирующая роль межсоединений и разводки кристалла (см. рис. 4). В основном, динамические характеристики будущего устройства определяются на этапах логического и физического синтеза, поэтому методология работы соответствующих программных компонент является определяющей. Более того, чтобы ускорить выход продукта на рынок требуется проектировать печатную плату практически одновременно с кристаллом, а для этого требуется адекватная функционально-физическая модель законченного устройства, отражающая все динамические характеристики чипа.

В САПР Cadence применена технология виртуальной модели межсоединений (Virtual System Interconnect Model), позволяющая оценить характеристики чипа на ранних этапах проектирования (см. рис. 5).

На современном этапе развития микроэлектроники и САПР все большее время отводится на верификацию проекта, причем верификация должна проходить на всех уровнях проектирования. Общее время верификации

может достигать 80% и более от общего времени проектирования ИС (см. рис. 6). Следует отметить, что верификации должны подвергаться не только аппаратные решения, но и программные, что особенно важно, если проект основан на технологии HW/SW codesign.

В текущий момент методика верификации представляет собой фрагментированный тестовый подход, где под фрагментацией подразумевается слабая связь методик верификации между отдельными уровнями проектирования. Это приводит к увеличению времени верификации, большому количеству ошибок и к огромной «стоимости» ошибки. Каждый этап проектирования содержит в себе свою методику, модели, программы и языковые средства.

С целью сокращения времени, отводимого на верификацию, компания Cadence предлагает унифицированную методологию верификации, предполагающую максимально возможное повторное использование одних и тех же тестов, моделей, языков и программ верификации на всех этапах проектирования. По заверениям компании Cadence, применение унифицированной методологии способно сократить время верификации на 50% (см. рис. 7).

Таким образом, сложность современных электронных систем и процесса их проектирования требует не только автоматизации каждого отдельного



Рис. 6. Временные затраты на верификацию аппаратной и программной части проекта

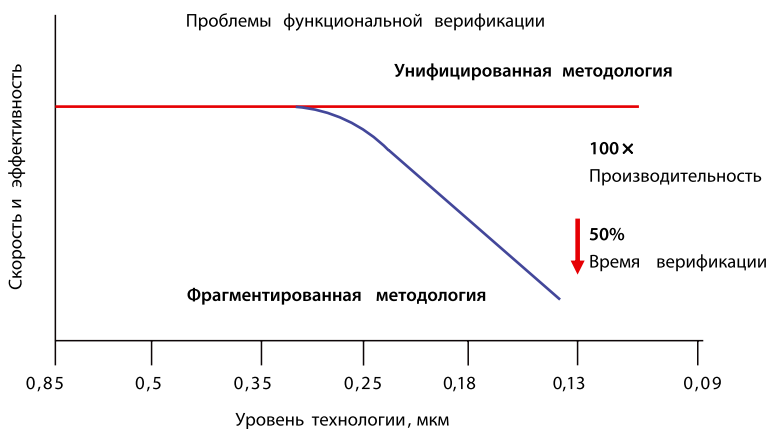


Рис. 7. Преимущества унифицированной методологии верификации

этапа проектирования, включая автоматическую верификацию результатов работы, но и объединения их в сквозную САПР с автоматическим обменом



УСТРОЙ ПРОРЫВ В СВОЕЙ КАРЬЕРЕ!

Cadence Design Systems – мировой лидер в области разработки систем автоматизированного проектирования (САПР) интегральных микросхем и печатных плат приглашает специалистов на работу в Московский центр разработки.

В Московском центре разработок САПР Cadence занято более ста инженеров, действовавших в проектах в области физической верификации, программ трассировки для микросхем и печатных плат, работающих над созданием маршрутов проектирования и экстракции паразитных параметров, а также над математическим моделированием электронных схем.

Компания предлагает конкурентоспособную заработную плату, дополнительную программу льгот, включающую медицинское страхование, занятия спортом, обеды, полностью оплачиваемый больничный лист Компания гарантирует соблюдение норм трудового законодательства. Всем сотрудникам предоставляется возможность участвовать во внутренних программах обучения, поощрения и развития сотрудников.

Cadence приглашает профессионалов!

cadence™

Ждем Ваши резюме по адресу: moscow_job@cadence.com

Cadence Design Systems LLC, 119017, Москва, ул. Большая Ордынка, д. 44, стр. 4, тел. 980 82 60; факс 980 82 61

данными между уровнями. Исторически программные и аппаратные средства на каждом уровне проектирования развивались независимо. К настоящему времени сквозной характер проектирования достигается, в основном, за счет передачи данных между САПР на каждом этапе проектирования.

Современная тенденция развития электроники предполагает реализацию функционально законченного электронного изделия как сложной многоуровневой системы. Возрастающая сложность таких систем требует наличия квалифицированных разработчиков, способных решать задачи не только текущего уровня проектирования электронного изделия, но и смежных уровней и системы в целом. Эффективная реализация сложной многоуровневой системы возможна только при наличии соответствующей подготовки кадров.

Организованная в Институте ППС система подготовки и переподготовки кадров отвечает всем современным требованиям и способна обеспечить опережающую подготовку кадров для нужд микроэлектроники. Учебный план сформирован таким образом, что описанные выше проблемы проектирования, верификации и другие успешно решаются выпускниками ИППС. Учебный план состоит из 24 курсов и предусматривает практические занятия учащегося на ведущих предприятиях отрасли в составе высокопрофессиональных коллективов разработчиков ИС. Двухгодичная программа обучения подразумевает изучение физики полупроводниковых приборов, аналоговой и цифровой схемотехники, схемотехнического, топологического, функционально-логического проектирования и систем на кристалле. Постоянно проводимое обновление программного обеспечения позволяет вести практические занятия на высоком техническом уровне и на передовых методиках проектирования. По окончании обучения выпускники ИППС получают государственный диплом магистра и международный квалификационный сертификат компании Cadence.

На базе университета развернута система экспресс-подготовки и переподготовки кадров для микроэлектроники (курсы повышения квалификации). Ускоренная подготовка предусмотрена по 9 направлениям, затрагивающим все современные методологии проектирования ИС и систем на кристалле.

Совместно с компанией Cadence проводятся научно-практические семинары и конференции по насущным проблемам в области проектирования ИС и САПР для микроэлектроники. Например, 15 мая 2007 г. состоялся семинар «Использование наращиваемой технологической базы данных для проектирования в системах

IC6.1 и OA2.2». Технологическая база данных OpenAccess (OA) 2.2 обеспечивает поддержку файлов, необходимых для множества программ в ходе процесса проектирования. Эта новая возможность, которой не было в CDB, является мощным средством, но также может приводить к проблемам в случае разделения технологических файлов. На этом семинаре были рассмотрены вопросы перемещения проектов из CDB в базы данных OpenAccess. Был представлен обзор процедур перемещения, включая проверку правильности данных, трансляцию в стандарт OpenAccess и заключительную проверку оттранслированных данных.

Другой семинар был посвящен выбору алгоритмов и программных средств для проектирования RF/AMS-схем с проектными нормами 90 нм и ниже. Предлагаемые алгоритмы рассмотрены на примерах приемника, приемопередатчика, аналого-цифрового преобразователя и т.д. Конечная цель состоит в том, чтобы помочь проектировщику выбрать лучший алгоритм и программные инструменты, чтобы уменьшить время моделирования и ускорить время выхода проекта на рынок. Другие дискуссии были посвящены использованию программного пакета Virtuoso Spectre RF для анализа сложных блоков в схемах смешанного сигнала, аналоговых и радиочастотных схемах. Несколько подходов доступны сегодня, а именно использование FastSPICE, поведенческое моделирование или стохастический анализ. Однако ни один из этих подходов не обеспечивает успешный анализ шумов. Пакет Virtuoso Spectre RF недавно был оснащен новыми средствами для решения этой проблемы.

Другая важная тема, которая была рассмотрена в рамках международных семинаров — автоматизированная разработка заказных PDK для технологии с проектными нормами 90 нм. Цель состояла в том, чтобы создать PDK, которые минимизируют стоимость развития при переходе к проектным нормам 65 нм, и формировать 65-нм PDK быстрее, чем за неделю. Для автоматизации процесса использован язык SKILL.

Проблема уменьшения проектных норм требует особенно внимательно относиться к межсоединениям в схеме на этапе проектирования. Отдельно рассматривались возможности системы Cadence и маршруты проектирования, позволяющие учитывать внешние выводы схемы. Несмотря на появление новых микроволновых сетевых технологий подключения, обычное соединение остается доминирующим, дешевым и очень надежным. Использовался Virtuoso Layout Editor для формирования трехмерного представления матри-

цы внешних выводов. Этот новый интерфейс, разработанный на языке SKILL, полностью интегрирован с маршрутами проектирования. Проверки DRC и LVS, объединенные с электрическим моделированием, становятся более простыми. Этот инновационный метод помогает проектировщикам определять в течение минут то, что раньше требовало более 3 часов.

Надежное моделирование эффектов распределения тока необходимо при решении проблем, связанных с электромиграцией, электрическим перенапряжением и омическим сопротивлением металлизации в окончательном проекте кристалла. Задачи на уровне физического проекта и верификации включают: (1) моделирование схемы, чтобы получить адекватные окончательные текущие значения, (2) правильный проект защиты от электростатического пробоя, основанный на распределении тока, (3) маршрутизацию межсоединений, (4) алгоритм уплотнения топологической схемы и (5) оценку времени электромиграции для случая произвольного размещения структур. Рассматривались проекты реальных интегральных схем, выполненных для автомобильной промышленности с использованием разработанных маршрутов проектирования.

Два важных семинара в заключительной части были посвящены проблемам проектирования «систем на кристалле». Современные субмикронные технологии позволяют смешивать цифровые/аналоговые/радиочастотные IP-блоки в едином кристалле, однако при этом проверка смешанного сигнала на верхнем уровне становится сложной задачей. Рассмотрены возможности представления смешанных цифровых/аналоговых/радиочастотных систем на кристалле на различных уровнях абстракции (от высокого уровня до моделирования на уровне транзистора), используя общую базу данных проекта и единственный язык проверки. Методы, унаследованные от цифрового представления, приспособлены к аналоговой среде, чтобы минимизировать время на разработку при максимальном функциональном охвате. Наличие единой объединенной автоматизированной среды моделирования в течение всех шагов проекта значительно улучшило производительность и эффективность проверки: дублирование между цифровыми и аналоговыми группами было существенно уменьшено.

Единственный способ достичь производительности, необходимой для удовлетворения сегодняшних требований к времени выхода на рынок, состоит в том, чтобы многократно использовать и развивать существующие IP-блоки и модули проекта, используя частную платформу проекта подобно SITaR. SITaR — про-

WE'RE WITHIN

THE THINGS

YOU CAN'T

DO WITHOUT.



Deep within, in fact. Because we provide the software that enables designers to create the electronics inside your PDA and mobile phone. And laptop. And MP3 player. And just about every other device that's an indispensable part of your life today. For more information, visit our Moscow office at 119017 Moscow, B. Ordynka, 44, building 4, tel. +7 495 980 82 60, fax +7 495 980 82 60 or www.cadence.com/within.

cadence[™]

цесс, формализующий развитие и интеграцию блоков проекта (модулей) в проект. Используемые блоки могут быть аппаратными, программными или смешанными и их фактические типы данных не ограничены. Множественное, параллельное развитие обеспечивает объединение всех задач в единый маршрут проектирования.

В 2007 г. компания Cadence провела в МИЭТ серию семинаров общероссийского масштаба по использованию новых программных продуктов компании: семинар RF SIP Kit (проектирование ВЧ печатных плат и систем в корпусе), семинар AMS Kit (проектирование схем смешанного сигнала), семинар RF Kit (проектирование ВЧ схем). На семинаре присутствовало свыше ста специалистов из различных организаций.

Семинары прошли 26 февраля — 1 марта 2007 г. в МИЭТ. Их проводили ведущие специалисты немецкого подразделения Cadence (Мюнхен). На проведенных технических семинарах были представлены методология и маршрут разработки типовых СБИС на основе платформы заказного проектирования Virtuoso IC 5.1.41. Программные средства обеспечивают автоматизацию широко класса заказных СБИС и систем в корпусе.

26 февраля 2007 г. был проведен семинар SIP-RF KIT. SIP-RF Methodology Kit представляет собой современную методологию и маршрут проектирования RF СБИС на основе SiP (системы в корпусе) с использованием новейших технологий компании Cadence.

27 февраля 2007 г. был проведен семинар AMS KIT, посвященный маршруту проектирования смешанных СБИС на основе платформы заказного проектирования Virtuoso Custom Design Platform. В рамках семинара представлен пример полного маршрута проектирования, позволяющий лучше понять все аспекты методологии разработки цифро-аналоговых СБИС, которые можно применять в собственных проектах.

28 февраля 2007 г. был проведен семинар RF KIT. Данный семинар посвящен маршруту проектирования ВЧ СБИС на основе платформы Virtuoso Custom Design Platform. В рамках семинара представлен пример маршрута проектирования ВЧ СБИС.

Все семинары были оценены участниками как крайне важные и полезные. Среди участников были представители большого круга предприятий и организаций, работающих в сфере ИТ-технологий, проектирования электронной компонентной базы, интегральных схем и систем на кристалле.

6 марта 2008 г. компания Cadence Design Systems провела в МИЭТ семинар партнерской компании CoWare, специализирующейся на разработке программных средств проектирования на системном уровне. На семинаре были затронуты тематики: архитектурного моделирования систем на кристалле с использованием IP-блоков; алгоритмического моделирования систем обработки и передачи информации; архитектурного моделирования процессоров.

Проведение на базе Института проектирования приборов и систем Cadence международных семинаров и участие в аналогичных мероприятиях, проводимых компанией Cadence, преподавателей, сотрудников и студентов МИЭТ является одним из приоритетных направлений деятельности, позволяющим на основе кооперации с ведущими мировыми компаниями сформировать научно-исследовательскую обучающую платформу для подготовки научных кадров, обеспечивающую активное вовлечение студентов и аспирантов в процесс актуальных и практически значимых научных исследований.

МИЭТ заключает долгосрочные контракты с предприятиями электроники по заказной и плановой подготовке и переподготовке специалистов.

СОБЫТИЯ РЫНКА

| ПРЕСС-КОНФЕРЕНЦИЯ TEKTRONIX INTERNATIONAL | 8 апреля в Москве прошла пресс-конференция компании Tektronix International, на которой было объявлено о выпуске новых моделей цифровых осциллографов DPO 3000 на основе технологии Digital Phosphor Oscilloscope. Новая серия расширяет возможности производимой серии DPO/MSO 4000. Осциллографы DPO 3000 обладают полным набором средств для работы со стандартными интерфейсами I2C, SPI, RS232/422/485/UART, CAN и LIN. Они декодируют коды, передаваемые по этим шинам, и выводят их на экран в символьном виде – в шестнадцатеричном, десятичном кодах или в ASCII. Отметим и наличие специальных символов – старт, стоп, идентификатор, адрес и другие в зависимости от конкретного интерфейса, что значительно облегчает, таким образом, процесс отладки. Добавим, что представление результатов возможно и в таблице событий, в которой содержатся все расшифрованные данные, причем каждый пакет сопровождается временной меткой.

Просмотр записи облегчается опцией Wave Inspector, которая помимо поиска по стандартным параметрам – фронту, ширине импульса, времени установления и т.д. – проводит также поиск и по содержимому пакету последовательной шины. В приборах появилась новая автоматизированная функция поиска периодически повторяющихся событий или пакетов в шине данных. Новая функция напоминает привычную систему веб-поиска и закладок. Всего будет выпускаться 6 модификаций приборов, различающихся полосой пропускания (от 100 до 500 МГц) и числом каналов (1 или 2). Длина памяти по каждому каналу: 5 Мбайт.

www.russianelectronics.ru

| ПЯТЫЙ РОССИЙСКИЙ ФОРУМ «ВСТРАИВАЕМЫЕ КОМПЬЮТЕРНЫЕ ТЕХНОЛОГИИ: МНОГОЯДЕРНАЯ ЭВОЛЮЦИЯ» | 18 апреля в Москве состоялся пятый Российский форум «Встраиваемые компьютерные технологии: многоядерная эволюция», организованный компанией РТСофт. В пленарной части форума были представлены доклады ведущих специалистов: О. Синенко и А. Рыбакова, РТСофт; Т. Сабиша, Kontron Modulator Computers; Н. Хаузера, Kontron AG; В. Бояринова, Intel; Х. Мираба, LinuxWorks. В докладах были затронуты как экономические, так и технические аспекты деятельности компаний.

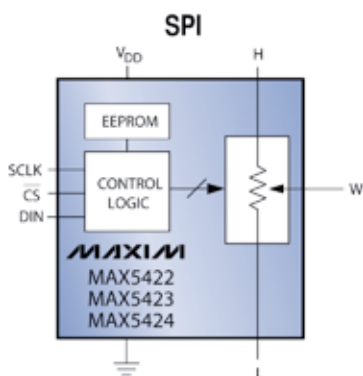
Во второй части форума заседание проходило в двух секциях. В первой секции «Программное обеспечение» прозвучали доклады: «ПО для многоядерных систем. LinuxOS 5.0»; «Современные ОСРВ для оборонных и авиакосмических приложений»; «Предварительные результаты процесса портирования ОС LinuxOS для вычислительного модуля с архитектурой PowerPC». Во второй секции «Аппаратное обеспечение» было прочитано три доклада: «Стандарты cPCI, ATCA MicroTCA – основа перспективных разработок высшей производительности и надежности на базе многоядерных процессоров и 10Gb Ethernet»; «Инновационные корпуса и магистрали: от стандартных к заказным решениям»; «Малогабаритные «компьютеры на модулях» и материнские платы. Реализация на многоядерных процессорах и Menlow». На форуме также работала выставка, где были представлены компоненты и решения различных российских компаний.

www.russianelectronics.ru



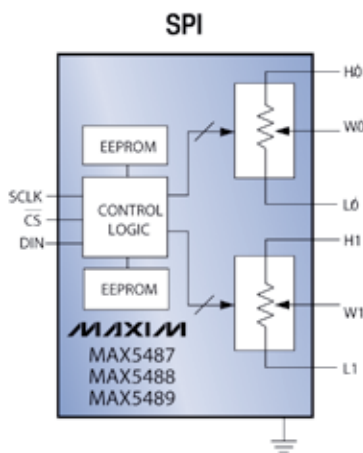
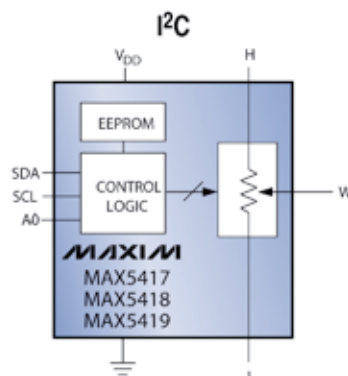
Одинарные и двойные энергонезависимые цифровые потенциометры с интерфейсом SPI или I²C на 256 шагов регулирования

Семейство цифровых потенциометров MAX54xx позволяет **усовершенствовать** любое изделие, обеспечивая температурный дрейф 35 ppm/°C (между крайними выводами) и максимальный ток потребления 1 мкА. Потенциометры выпускаются в одинарном или двойном исполнении с **различными** значениями сопротивления и двумя типами интерфейса: I²C или SPI™. Благодаря подобному **разнообразию** конфигураций, микросхемы MAX54xx могут использоваться в качестве делителей напряжения или потенциометров.



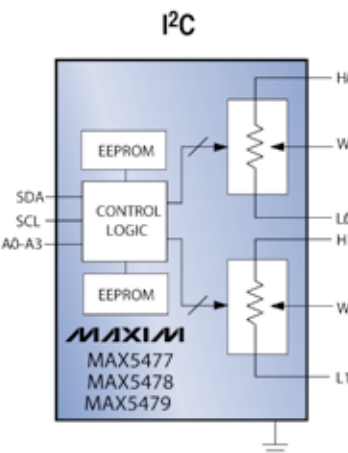
Одинарные

- Позиция движка хранится в EEPROM
- Миниатюрный 8-выводный корпус TDFN (3 мм x 3 мм)
- Температурный дрейф: 35 ppm/°C между крайними выводами и 5 ppm/°C при потенциометрическом включении
- Однополярное питание от 2,7 В до 5,25 В
- Потребляемый ток в статическом режиме: 1 мкА (макс.)
- Восемь уникальных адресов I²C на изделие



Сдвоенные

- Позиция каждого движка хранится в EEPROM
- Миниатюрный 16-выводный корпус TQFN (3 мм x 3 мм)
- Температурный дрейф: 35 ppm/°C между крайними выводами и 5 ppm/°C при потенциометрическом включении
- Однополярное питание от 2,7 В до 5,25 В
- Потребляемый ток в статическом режиме: 1 мкА (макс.)
- Восемь уникальных адресов I²C на изделие



Типономинал	Количество потенциометров	Интерфейс	Сопротивление между крайними выводами (кОм)	Цена* (\$)
MAX5417/MAX5418/MAX5419	1	I ² C	50/100/200	1,25
MAX5422/MAX5423/MAX5424	1	SPI	50/100/200	1,25
MAX5477/MAX5478/MAX5479	2	I ² C	10/50/100	1,60
MAX5487/MAX5488/MAX5489	2	SPI	10/50/100	1,60

Идеальный выбор для управления контрастом

SPI – торговая марка Motorola, Inc.

*Рекомендованная цена на партии от 1000 шт. Цены ориентировочные на условиях FOB США. Цены в других странах отличаются в зависимости от величины местных налогов, пошлин и таможенных платежей, а также обменного курса. Не все устройства поставляются партиями, кратными 1000 шт. Для некоторых типов ИС существует минимальная норма отгрузки.

Техническая поддержка
support.maxim-ic.com/ru



www.maxim-ic.com

Заказывайте бесплатные образцы на сайте www.maxim-ic.com/samples