

# Введение во внутрисхемное тестирование

Ами Городецкий, к.т.н., гл. технолог, JTAG.TEST, [amigo@jtag-test.ru](mailto:amigo@jtag-test.ru)

Леонид Курилан, ген. директор, JTAG.TEST, [leo@jtag-test.ru](mailto:leo@jtag-test.ru)

*15-я статья цикла «Основы технологии граничного сканирования и тестопригодного проектирования» посвящена введению во внутрисхемное тестирование печатных плат, известное как ICT (In-Circuit Test).*

«Все очень просто...»

А. Макаревич

Технология внутрисхемного тестирования (In-Circuit Testing, ICT), непосредственная предшественница JTAG, практически обладала монополией в тестировании электронных ПП с конца 1970-х гг. и с неизменным успехом применяется до настоящего времени, хотя и с определенными ограничениями. Доступ тестера ко внутренним цепям ПП осуществляется при помощи контактных иглол, прижимаемых адаптером тестера к поверхности ПП. На ранних этапах такие адаптеры назывались «ложе из гвоздей» (bed of nails), но сегодня это название совершенно устарело и не используется, уступив место термину «игольчатый адаптер». Поскольку в последней трети прошлого века корпуса DIP доминировали при производстве ИС, любой ее вывод был доступен для иглол адаптера с нижней (а зачастую и с верхней) стороны ПП, так что проблемы физического внутрисхемного доступа к цепям ПП практически не существовало.

С началом широкого распространения технологии поверхностного монтажа и миниатюризации ИС компоненты стали монтироваться на ПП без сквозных отверстий и с обеих сторон ПП. При этом сразу же возникла проблема размещения контактных площадок для иглол тестера ICT, а также проблема постоянного уменьшения их диаметра в условиях высокой плотности монтажа элементов с обеих сторон ПП. Вдобавок к этому, в многослойных ПП значительное число цепей схемы оставалось во внутренних слоях, так что вывод их на поверхность ПП для подключения к контактным площадкам для иглол значительно усложнял разводку платы. Все это обусловило сокращение доступа ко внутренним цепям схемы со стороны тестера ICT, что, однако,

относительно не привело к значительному сокращению применимости таких тестеров, а лишь несколько переставило акценты в областях их применения.

Чрезвычайно широкое распространение тестеров ICT обусловлено тем, что этот метод оказался очень удобен не только для тестирования правильности монтажа компонентов на поверхность ПП, но и для внутрисхемных измерений параметров компонентов. Внутрисхемным измерением называется такое измерение параметров смонтированного на поверхности ПП компонента, которое не предполагает его демонтажа или отключения от цепей, с которыми он связан в соответствии со схемой ПП. При выполнении внутрисхемных измерений по отношению к пассивным компонентам (резисторам, конденсаторам, индуктивностям и т.д.) нет необходимости подавать питание на тестируемую ПП. Это позволяет выполнить предварительную сортировку смонтированных ПП без риска их значительного повреждения после включения питания при наличии опасных коротких замыканий или неверного монтажа резисторов, перемычек и других проводимостей. При включении питания ПП внутрисхемные измерения могут выполняться и для активных компонентов — как цифровых, так и аналоговых.

Принцип внутрисхемного измерения параметров рассмотрим на примере измерения сопротивления резистора  $R_X$ , подключенного в схеме тестируемой ПП, как показано на рисунке 1а. Предположим, что подпружиненная иглолка тестера ICT (зеленая стрелка), подключенная к некоторому источнику тока  $I$ , касается точки соединения резисторов  $R_X$ ,  $R_1$  и  $R_2$ , а ток от этого источника протекает через подключенные к данной точке резисторы и далее по схеме, как показано голубыми стрелками. Назовем эту точку  $S$  узлом источника тока.

Предположим также, что другого конца измеряемого резистора  $R_X$  касается еще одна подпружиненная иглолка тестера, подключенная к вольтметру. Назовем эту точку  $M$  узлом измерения. Понятно, что измерение напряжения в точке  $M$  мало что означает, поскольку протекающий через измеряемый резистор ток неизвестен.

Предположим, однако, что на время измерения сопротивления резистора  $R_X$  мы смогли коснуться подпружиненными иглолками тестера ICT противоположных концов всех резисторов, подключенных к  $R_X$ , как показано на рисунке 1б слева. Если все эти иглолки заземлены, то эквивалентная схема рассматриваемого фрагмента выглядит как треугольник, показанный на рисунке 1б справа, где  $G$  — общая точка подключения «земляных» иглол. Очевидно, что  $R_S = R_1 \parallel R_2$ , а  $R_M = R_3 \parallel R_4$ .

Аппаратура тестера ICT обеспечивает схему измерения сопротивления резистора  $R_X$ , упрощенно показанную на рисунке 1в. Ее сердцевинной является операционный усилитель (ОУ), неинвертирующий вход которого подключен к земле, т.е. включенный как инвертирующий усилитель. Поскольку при таком включении инвертирующий вход усилителя является «виртуальной землей» с весьма высоким (в идеале — бесконечным) входным сопротивлением, потенциал точки  $M$  весьма близок или равен потенциалу земли, т.е. потенциалу точки  $G$ , так что ток через резистор  $R_M$  не течет. Входящий в точку  $S$  ток  $I$  разветвляется таким образом, что через измеряемый резистор  $R_X$  протекает ток  $I_X$ .

Следует отметить, что, согласно первому закону Кирхгофа, сумма токов на инвертирующем входе ОУ равна нулю, т.е. через резистор обратной связи  $R_{ВН}$ , внутренний резистор тестера ICT, величина которого заведомо известна, протекает ток  $I_X$ . Встроенный в тестер ICT вольтметр

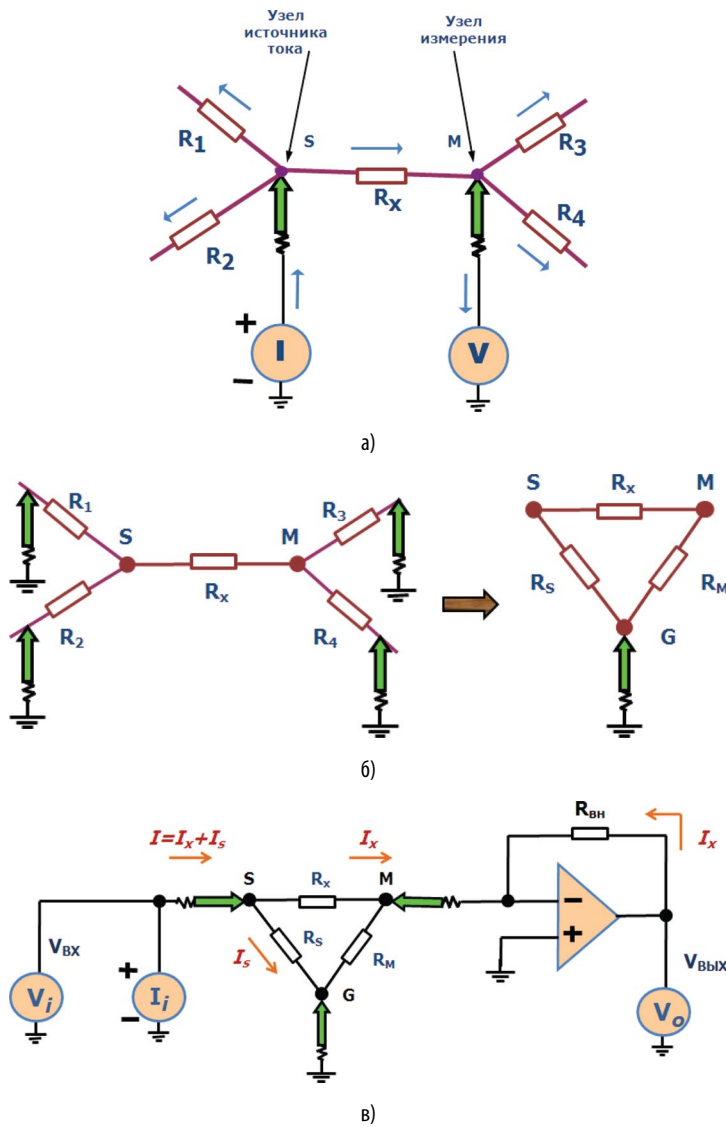


Рис. 1. Принцип внутрисхемного измерения параметров

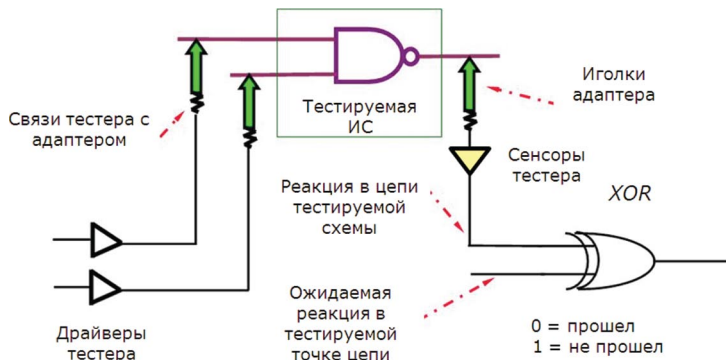


Рис. 2. Полный тестовый доступ ко внутренним цепям ПП

$V_0$  позволяет измерить напряжение на выходе усилителя  $V_{ВЫХ}$  и, следовательно, вычислить ток  $I_X = V_{ВЫХ}/R_{ВН}$ . Другим встроенным в тестер вольтметром  $V_i$  можно измерить напряжение в точке S. Таким образом, вычисление сопротивления резистора  $R_X$  сводится к простой формуле

$$R_X = V_{ВХ}/I_X.$$

Аналогичным образом организуются внутрисхемные измерения любых пассивных компонентов, причем точность таких измерений может быть весьма высокой. Существенным фактором как самой возможности таких измерений, так и их точности, является правильная расстановка точек G (guarding), на время измерения подключающих на землю определен-

ные цепи и узлы вокруг тестируемого компонента. Процедура выбора и активизации точек G, обеспечивающая внутрисхемные измерения, в большинстве случаев автоматизирована, хотя иногда и требует вмешательства тест-оператора.

Рассмотрим на рисунке 2 принцип расстановки иглок ICT во внутрисхемных цепях при тестировании правильности монтажа как цифровых, так и аналоговых схем, предполагающего полный физический доступ (реальный контакт) иглок тестера ко всем внутренним цепям ПП. Сформированные программным обеспечением тестера ICT входные тестовые воздействия (входная часть тест-векторов) через драйверы тестера посредством контактных иглок подаются на цепи ПП, связанные со входами тестируемой ИС. Другие иголки адаптера, зондирующие выходные цепи тестируемой ИС, связаны с «верхними» (как на рисунке 2) входами компараторов на основе вентилей «исключающее-ИЛИ» (XOR) через сенсоры тестера. Выходная часть тест-векторов содержит ожидаемые реакции соответствующих выходных цепей исправной ИС при подаче на нее входных тест-векторов, получаемые как результат моделирования функции ИС программным обеспечением тестера. Выходные части тест-векторов тестируемых цепей подаются на «нижние» входы компараторов, на выходах которых появляется «лог. 0» при совпадении ожидаемых результатов с действительными, или «лог. 1» — при их несовпадении.

Если точки касания иглок тестера ICT не совпадают с монтажными отверстиями тестируемой ИС (а в случае поверхностного монтажа это именно так), то рассмотренный пример представляет собой тест правильности монтажа ИС на ПП, косвенно являясь также функциональным тестом этой ИС. Действительно, модель ИС, используемая программным обеспечением тестера для получения ожидаемых результатов приложения тест-вектора ко входам ИС — это описание функции ИС, в нашем примере — таблица истинности вентиля И-НЕ.

Рассмотренный пример является определенным упрощением реальной ситуации в тестируемых ПП, поскольку никак не отражает схемных связей тестируемой ИС. Представим себе, что в чуть более сложном примере циф-

ровой схемы, приведенном на рисунке 3, мы занимаемся тестированием правильности монтажа (и косвенно, возможно, также функциональным тестированием) ИС U8. Тестер ICT должен подать на входы 4 и 11 этой ИС тестовые воздействия, считать ее реакцию на выходе 16 и сравнить с ожидаемой. Чтобы тестер действительно смог посредством игловок, касающихся цепей N8 и N7, обеспечить в этих цепях требуемые логические значения, двунаправленные драйверы игловок выполняются как низкоомные источники тока, пропускающие через себя в обоих направлениях (к цепи и из нее) токи порядка 600 мА или даже больше. Такой источник тока, подключаемый иглой тестера к цепи на очень короткое время, способен сформировать в ней любой требуемый логический уровень напряжения. Эта методика кратковременной токовой перегрузки выходов компонентов (U1 и U3 в нашем примере), соединенных со входами тестируемых ИС (U8.11 и U8.4 в нашем примере), которая обеспечивает в этом узле логический уровень, противоположный задаваемому функцией этого выхода, называется обратной нагрузкой (backdriving).

Если, к примеру, в цепях N1 и N2 находятся логические уровни «лог. 0», обусловленные схемным подключением этих цепей, то выход вентиля U3 обеспечит «лог. 0» в цепи N8. Если при тестировании ИС U8 тестовый вектор должен обеспечить в этой цепи «лог. 1», то драйвер иглой N8 кратковременно обеспечит в этой цепи ток, достаточный для перевода этой цепи в «лог. 1» на короткий промежуток времени, достаточный для подачи тестовых векторов и снятия реакций во внутрисхемных цепях.

Обратная нагрузка выходов микросхем, выполняемая тестером ICT весьма кратковременно, нисколько этим выходам не вредит, что доказано более чем 20-летним успешным применением этой методики. Тем не менее в случаях, когда обратной нагрузки можно избежать, этим обычно не пренебрегают. В рассматриваемом примере можно избежать обратной нагрузки выхода буфера U1 в цепи N7 при приложении тестовых воздействий ко входу 11 ИС U8, если заблокировать этот буфер, переведя его в состояние с высоким импедансом подачей «лог. 1» иглой N6.

При чтении реакции тестируемой ИС в цепи, соединенной с выходами других ИС и образующей общую шину, что нередко происходит в реальных схемах, тест-программист должен позаботиться об отключении или переводе в состояние с высоким импедансом всех подключенных к общей шине ИС, которые не тестируются данным тест-вектором. В рассматриваемом примере инвертор U5 следует заблокировать подачей «лог. 0» иглой N9. Это не только устранил возможный конфликт при считывании реакции на выходе 16 ИС U8, но и предотвратит эффект обратной загрузки выхода буфера U5 в цепи N11 при приложении тестовых воздействий ко входам нагрузок, подключенных к этой цепи. Активизация игловок тестера ICT для отключения мешающих или нерелевантных ИС или цепей, а также предотвращения обратной загрузки, помеченных на рисунке 3 буквой G, называется блокировкой (disabling). Существует также множество других методик и средств, задача которых — свести к минимуму или практически устранить возможное деструктивное влияние эффекта обратной загрузки, рассмотрение которых выходит, однако, за рамки этой публикации. Выбор и активизация игловок G, также как выбор и активизация игловок, подключаемых к точкам G при внутрисхемных измерениях, как правило, автоматизированы, хотя и предполагают вмешательство тест-оператора в сомнительных ситуациях.

Внимательный читатель обратил, конечно, внимание на то, что для тестирования правильности монтажа контактов ИС на ПП (иными словами, для проверки отсутствия на контактах и в цепях обрывов или коротких замыканий между цепями) программе автоматической генерации тестов ICT следует предоставить т.н. модель ИС. Такая модель, как было указано выше, в простейших случаях представляет собой таблицу истинности комбинационной схемы, а в более сложных случаях — функциональное описание ИС в определенном формате. Модели ИС доступны из постоянно пополняемых библиотек тестеров ICT, их также не слишком сложно писать вручную. Следует отдавать себе отчет в том, что сама возможность составления подобной модели для достаточно сложных ИС вовсе не гарантирована из-за

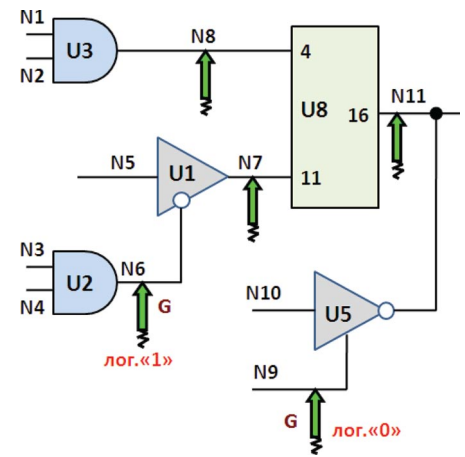


Рис. 3. Блокировка и обратная нагрузка

высокой сложности функциональных описаний, так что при превышении определенного уровня сложности ИС написать сколько-нибудь стоящую модель не удастся.

Дополнительная проблема заключается также в том, что использование моделей ICT предполагает активизацию ИС в нормальном (или специальном) функциональном режиме для получения ожидаемых реакций в результате моделирования функции ИС или снятых с нее экспериментально. Как бы то ни было, тестируемую ИС на плате, не находящейся в функциональном режиме, необходимо ввести в тот или иной режим функционирования. Это не всегда возможно и не всегда приемлемо. А ведь все эти усилия предпринимаются только для проверки правильности монтажа ИС на ПП!

Чтобы обойти указанные трудности, при тестировании ICT применяются также т.н. безвекторные методы. На рисунке 4а схематично представлена суть этого подхода для обнаружения обрывов тестируемых контактов ИС. Заранее известная величина емкости между иглками тестера ICT, касающимися пары контактов, обозначена как C<sub>иг</sub>. На эти иглы подается тестовое воздействие в виде низковольтной синусоиды. Размещаемая над тестируемой ИС пластина сенсора воспринимает синусоидальный тестовый сигнал через емкостную связь C<sub>вт</sub> между каждой из связей чипа с выводом ИС и этой пластиной. Типичное значение емкости C<sub>вт</sub> в эквивалентной схеме измерения, приведенной на рисунке 4б, составляет примерно 50...100 фФ. Такая схема позволяет обнаружить обрывы контактов ИС

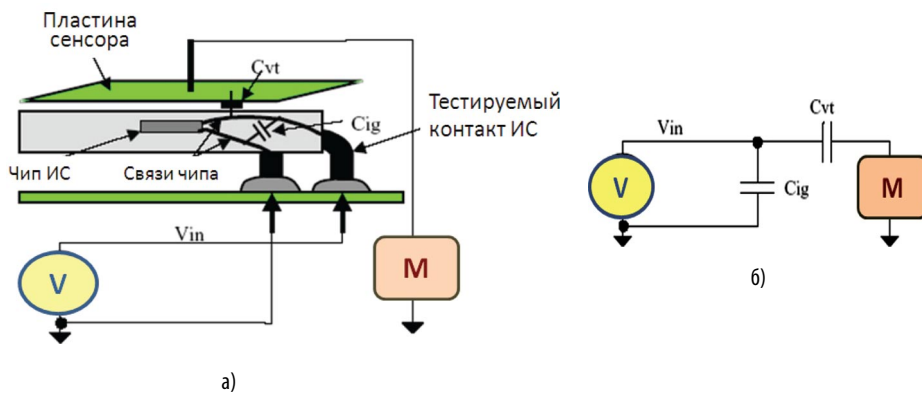


Рис. 4. Концепция безвекторных измерений и эквивалентная схема

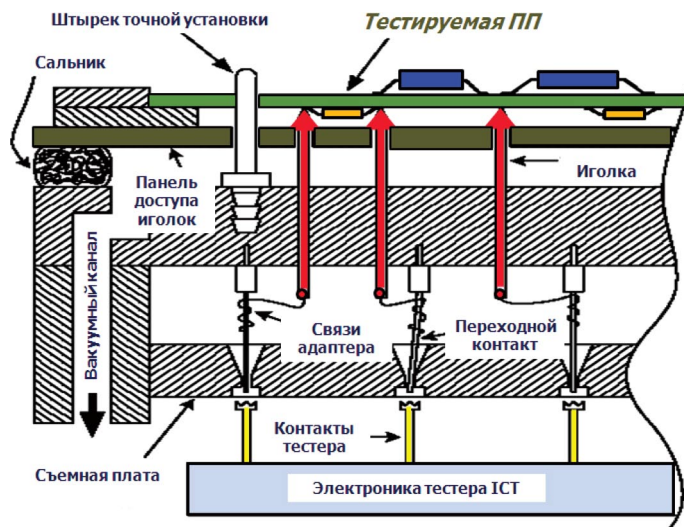


Рис. 5. Фрагмент структуры игольчатого адаптера ИСТ

как результат ошибок монтажа без необходимости генерировать специальные тест-векторы и без активизации функционального ядра ИС.

Особенностью тестеров ИСТ, как было отмечено выше, является необходимость в применении специального игольчатого адаптера, обеспечивающего согласование фиксированного местоположения тестовых иглок собственно тестера ИСТ с местоположением контактных площадок на поверхности тестируемой ПП. Фрагмент структуры игольчатого адаптера ИСТ показан на рисунке 5. Очевидно, что минимальное изменение или отклонение в размещении компонент на поверхности ПП влечет за собой необходимость в переделке адаптера, представляющего собой весьма недешевое устройство (тысячи долларов для ПП средней сложности). По этой причине применение внутрисхемного тестирования на этапе отладки схем и при их мелкосерийном производстве с частой сменяемостью версий сборки — чрез-

мерно дорогостоящий и экономически неоправданный подход.

Применяются разнообразные механические способы обеспечения надежного физического контакта между иглами тестера ИСТ и тестируемой ПП. На рисунке 5 показан вакуумный адаптер, применяемый, как правило, для прижима подпружиненных иглок тестера к контактным площадкам, расположенным снизу ПП. В отсутствие достаточного места для размещения контактных площадок с этой стороны ПП, например, при плотном двустороннем монтаже компонентов, контактные площадки ИСТ размещаются сверху, на компонентной стороне ПП. При этом физический прижим подпружиненных иглок тестера может быть выполнен механически с помощью рычажной крышки адаптера. Внешний вид достаточно сложного игольчатого адаптера с двусторонним доступом к тестируемой ПП — снизу, через панель доступа иглок, и сверху, посредством иглок, размещенных на крышке адаптера, приведен в [2].

Существует множество типов контактных головок иглок тестеров ИСТ, отличающихся по размерам (в соответствии с размерами контактной площадки, переходного отверстия, штыревого соединения компонента с ПП и другими факторами), форме и рельефу контактной поверхности (плоские, коронкообразные, игольчатые, конические и другие), материалу иглок и покрытию, обеспечивающим их износостойчивость. Правильный подбор иглок с головками, соответствующими конкретному месту контакта, обеспечивает высокую надежность контакта при тестировании и долговечность самих иглок.

На рисунке 5 показано постоянное соответствие контактов тестера ИСТ иглам адаптера тестируемой ПП — каждая из иглок связана только с одним из контактов. Подобная структура не всегда удобна и возможна, поскольку количество контактных площадок ИСТ для сложных ПП с очень большим числом цепей (скажем, с несколькими тысячами) может намного превышать возможности самого тестера. В подобных ситуациях применяются т.н. мультиплексированные тестеры, оборудованные специальными переключательными матрицами, которые позволяют адресовать одну и ту же пару «драйвер-сенсор» более чем к одной иголке.

Несмотря на кажущуюся гибкость мультиплексированных тестеров, разработка программ ИСТ-тестирования для них сталкивается со многими трудностями, прежде всего при автоматическом сопоставлении узлов тестируемых ПП с определенными иглками. При выборе тестера ИСТ необходимо учитывать, что мультиплексированные тестеры заметно дороже немultipлексированных и проектирование игольчатых адаптеров для них сложнее, поскольку следует принимать во внимание, чтобы несколько мультиплексированных иглок не использовались одновременно. Экономические соображения при таком выборе, как правило, превалируют, и решение принимается в ущерб потенциальной гибкости использования тестера.

Весьма важным фактором при выборе тестера ИСТ может оказаться возможность предварительной оптимизации размещения контактных площадок на тестируемой ПП и минимизации их количества. Такой

анализ выполняется до начала этапа разводки ПП, и его цель — получить максимально возможный уровень тестового покрытия при комплексном подходе к тестированию безошибочности монтажа ПП, включающем как автономное JTAG-тестирование, так и тестирование ИСТ. Пример отчета по предварительному анализу тестопригодности ПП можно найти в [3]. Детальное изучение таких отчетов, вплоть до имен цепей и контактов, позволяет вовремя, т.е. задолго до начала разводки ПП, предпринять необходимые меры для увеличения или оптимизации ожидаемого тестового покрытия ПП [4]. Такие отчеты обычно содержат подробные рекомендации по оптимальному размещению контактных площадок для внутрисхемного тестирования ИСТ в тех цепях, ожидаемый уровень JTAG-тестового покрытия в которых недостаточен или вовсе отсутствует, что существенно упрощает и удешевляет разводку ПП. Уменьшение числа игловок ИСТ, в свою очередь, понижает стоимость адаптера и укорачивает время его изготовления.

Рисунок 6 иллюстрирует места возможных дефектов монтажа ИС на поверхности ПП, покрываемых при тестировании ИСТ. Последовательность этих мест в порядке прохождения сигналов тест-вектора следующая: иглолка драйвера — контактная площадка или переходное отверстие — печатный проводник — припой — входной контакт ИС — связь чипа со входным контактом — собственно чип ИС — связь чипа с выходным контактом — выходной контакт ИС — припой — печатный проводник — контактная площадка или переходное отверстие — иглолка сенсора. Косвенное и частичное тестовое покрытие получают также блокируемые узлы (иглолки G, см. рис. 3).

Обеспечив касание иглолками ИСТ всех узлов тестируемой ПП, в принципе, можно достичь весьма высокого уровня тестового покрытия, близкого к 98%. Существует, однако, множество схематехнических ограничений и проблем физического доступа, часть из которых рассматривается в следующей статье цикла, которые не позволяют на практике приблизиться к такому впечатляющему уровню. Одним из таких естественных ограничений при аналоговых измерениях являют-

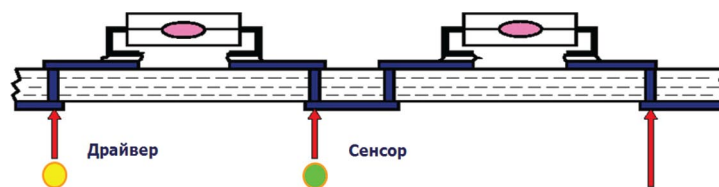


Рис. 6. Места возможных дефектов монтажа ИС

ся низкоемкостные конденсаторы, емкости которых сопоставимы с емкостями измерительной системы, так что точность подобных измерений невелика, если они вообще возможны. Аналогичная проблема существует при измерениях небольших индуктивностей, но в этом случае можно хотя бы убедиться в правильности их монтажа, проверив наличие проводимости.

Тенденции современной электроники, связанные с применением ИС в BGA-корпусах на многослойных ПП, существенно ограничивают возможности физического доступа к внутрисхемным цепям по сравнению с тем, как это не так давно было для ПП с односторонним монтажом дискретных компонентов и ИС в DIP-корпусах [5]. Применение технологий тестирования JTAG, или граничного сканирования [1], в значительной степени компенсирует этот недостаток физического доступа, создавая бесконтактную альтернативу тестированию цепей, недоступных для игловок ИСТ.

В завершение краткого введения во внутрисхемное тестирование приведем сопоставление достоинств этого метода и его ограничений. Первым преимуществом тестирования ИСТ является то, что оно позволяет обнаружить множество дефектов монтажа ПП сразу же после выхода платы с производственной линии. В некотором смысле, ИСТ — это первая линия обеспечения качества сборки ПП. Тесты коротких замыканий и обрывов, неверно смонтированных компонентов, неверных номиналов пассивных компонентов, развернутых в обратную сторону диодов, аналоговые тесты и измерения, разнообразные цифровые тесты, внутрисхемное конфигурирование ПЛМ и FPGA, прожиг ЭППЗУ и флэш-памяти, применение JTAG-тестирования — лишь очень неполный перечень тестов, выполняемых при тестировании ИСТ. Пример типовой структуры тестовой программы ИСТ приведен в [2]. Уровень тестово-

го покрытия такой программы весьма высок, а ее генерация в значительной степени автоматизирована. Диагностические возможности программ ИСТ позволяют быстро и эффективно локализовать дефект монтажа ПП с точностью до контакта и узла даже с помощью персонала с невысокой квалификацией. Прогон тестовых программ ИСТ эффективен и недорог, а производительность таких стендов тестирования настолько высока, что они повсеместно используются на линиях крупно- и среднесерийного монтажа ПП.

К несомненным ограничениям применимости тестеров ИСТ следует отнести значительные начальные инвестиции на приобретение тестера, расходы на разработку и изготовление иглочатых адаптеров, необходимость в квалифицированном анализе тестопригодности схемы ПП и оптимизации размещения игловок ИСТ, использование квалифицированных тест-программистов для разработки эффективных программ тестирования. Весьма распространенным, современным и экономически оправданным подходом к решению этих проблем являются контрактные отношения с фирмами, специализирующимися на тестировании ИСТ [2, 3].

*В продолжение цикла статей, в следующем номере журнала будут рассмотрены принципы тестопригодного проектирования для внутрисхемного тестирования ИСТ.*

*Литература*

1. А. Городецкий, Л. Курилан. «Введение в технологию граничного сканирования». Часть 1//Производство электроники. 2007. №5.
2. [www.jtag-test.ru/Solutions/ICT.php](http://www.jtag-test.ru/Solutions/ICT.php).
3. [www.jtag-test.ru/Solutions/DFT.php](http://www.jtag-test.ru/Solutions/DFT.php).
4. А. Городецкий. «Покрытие неисправностей и полнота JTAG-тестирования»//Компоненты и технологии. 2009. №11.
5. Городецкий А. «Граничное сканирование или внутрисхемное тестирование?»//Электроника-инфо. Минск. 2009. №3.



Телефон:  
+7 (495) 788-98-14

E-mail:  
russia@efd-inc.com

**EFD**<sup>®</sup>  
A NORDSON COMPANY

# Паяльные материалы EFD<sup>®</sup>

## Усовершенствуйте свое производство!

**Экономия – Надежность – Качество**



- Прецизионная, чистая и надежная пайка
- Ручные и автоматические дозирующие системы
- Без последующей доработки, без брака
- Полная совместимость со всеми методами пайки



**Запросите образец\***

\*Производится детальный анализ процесса

## НОВОСТИ РЫНКА

**Новые дозирующие системы PicoDot™ компании EFD<sup>®</sup> поддерживают тенденцию минимизации размеров продукции**



Ввиду того, что в производстве электронных устройств наблюдается ярко выраженная тенденция к увеличению числа функций при постоянно уменьшающихся размерах, производители, как никогда прежде, вынуждены искать новые способы более точного, аккуратного и надежного нанесения малых и сверхмалых доз адгезивов, покрытий и других жидкостей, используемых в процессе сборки.

Струйная дозирующая система PicoDot существенно увеличивает возможности широкой линейки оборудования компании EFD,

предназначенного для прецизионного дозирования жидкостей. Так как рабочий орган системы PicoDot не контактирует с обрабатываемой поверхностью, данные системы позволяют производителям осуществлять контролируемое дозирование жидкостей даже на труднодоступные, неровные поверхности или в процессах, где не может быть использована традиционная дозирующая игла (насадка) — при этом скорость дозирования может достигать до 150 капель в секунду.

Большое количество конфигураций системы PicoDot дает возможность дозировать широкий спектр жидкостей низкой (50...1000 мПа·с), средней (50...200 000 мПа·с) и высокой (1000...500 000 мПа·с) вязкостях, используемых в самых различных производственных процессах.

Возможности струйной дозирующей системы PicoDot включают:

- Бесконтактное струйное дозирование, в том числе и для трехмерных поверхностей;
- Бесконтактное нанесение полосок материала;
- Зона покрытия при струйном дозировании в виде цепочки капель размером от 0,002 мкл (2 нанолитра) до производительности подачи 300 гр/мин;
- В качестве опции доступен адаптер для прецизионной дозирующей насадки, что позволяет наносить капли и полоски материала контактным способом при великолепной повторяемости и высочайшей степени точности;
- Возможно использование встроенного нагревательного элемента для прецизионной регулировки вязкости.

Оборудование компании EFD можно заказать в более чем 30 странах мира. Вы можете получить более подробную информацию о продукции EFD, позвонив по телефону +7 (495) 788-98-14, или на сайте [www.efd-inc.ru](http://www.efd-inc.ru).