

# ЭКОНОМИЧНЫЕ ПЛИС С ТРАНСИВЕРАМИ HD/SD SDI

**ШЭКИЛ ПИРА (SHAKEEL PEERA)**, директор по стратегическому маркетингу, Lattice Semiconductor Corporation

*Появление недорогих ПЛИС, оснащенных высокопроизводительными трансиверами и цифровыми сигнальными процессорами (DSP), позволило значительно снизить стоимость разработки и реализации систем передачи видеосигналов. Статья представляет собой перевод [1].*

Поскольку технологии HDTV, IPTV, VoD находят все большее применение, возможности ПЛИС расширяются, а их стоимость снижается, неминуемо происходит слияние этих двух технологий. Ключевым аспектом устройств, реализованных благодаря такому слиянию, является способность передавать, принимать и обрабатывать несжатые видеосигналы. Требования к трансиверам определены стандартами, разработанными для семейства последовательных интерфейсов SDI (Serial Digital Interface) Обществом SMPTE (Society of Motion Picture and Television Engineers). Эти стандарты определяют характеристики физического интерфейса и соответствующих цепей, необходимых для передачи несжатого цифрового видеосигнала через 75-Ом коаксиальный кабель. При использовании ПЛИС в данном рыночном сегменте они должны соответствовать всем требованиям этих стандартов. В статье рассматриваются достоинства и недостатки таких ПЛИС.

## ПЛИС СО ВСТРОЕННЫМИ SMPTE-ТРАНСИВЕРАМИ

В многочисленных цифровых приложениях архитектура ПЛИС всегда

позволяет встраивать в нее «секретную начинку» компании, не используя дорогих специализированных интегральных схем (ASIC) и экономя время на разработку системы. Как SMPTE-система (см. рис. 1) ПЛИС обеспечивает дополнительные преимущества. **Универсальность.** Все ПЛИС обладают единой архитектурой, что позволяет их применять с любыми платформами, не внося дополнительные конструктивные изменения для удовлетворения потребностей различных сегментов рынка, требований региональных стандартов и для реализации технологических целей.

**Возможность переноса.** Единая кремниевая платформа позволяет переносить SMPTE-приложения во множество областей, использовать их в системах передачи сжатых данных (например, DVB-ASI), в пользовательском пространстве (например, DVI, HDMI, Displayport) и в специализированных устройствах хранения видеоданных (например, PCI Express и SATA).

**Высокопроизводительная обработка.** Встроенные DSP-функции обеспечивают ПЛИС способностью выполнять параллельную обработку данных, что

необходимо при работе с изображениями и видеосигналами. Примерами такой обработки являются сжатие данных (MPEG-2 и MPEG-4), преобразование цветового пространства, коррекция изображений, масштабирование и распознавание образов.

**Сокращение времени выхода на рынок.** В настоящее время на рынке доминируют такие передовые технологии как интернет-телевидение высокой четкости (High Definition IPTV) и видеосервис по запросу (Video on Demand), на которые также распространяются требования новых стандартов SMPTE424M (3G-SDI) и Dual Link-SDI (а также связанных с ними исходных форматов). Для таких передовых технологий необходимо, чтобы кремниевая платформа позволяла компаниям выводить изделия на рынок быстрее, чем на них появится спрос. ПЛИС для таких целей подходят наилучшим образом.

Несмотря на перечисленные достоинства, ПЛИС со встроенными преобразователями SERDES обладают традиционными недостатками. С такими проблемами, как правило, сталкиваются при необходимости:

- а) адаптировать преобразователь SERDES, первоначально спроектированный для поддержки сетевых стандартов типа Ethernet и SONET, для работы в качестве специализированного трансивера SMPTE HD/SD;
- б) снизить цену ПЛИС со встроенными преобразователями SERDES. При необходимости вывести на рынок большую серию устройств приходится искать возможность снижения средней рыночной цены ПЛИС без ухудшения их функциональных возможностей и характеристик.

## ПОДДЕРЖКА РАЗНЫХ СКОРОСТЕЙ ОБМЕНА ПО ОДНОЙ ВИТОЙ ПАРЕ

Каждый канал SMPTE-системы должен обеспечивать динамическую поддержку форматов HD и SD одновременно как при приеме, так и при передаче сигналов. ПЛИС со встроенными преобразователями SERDES изначально обладают

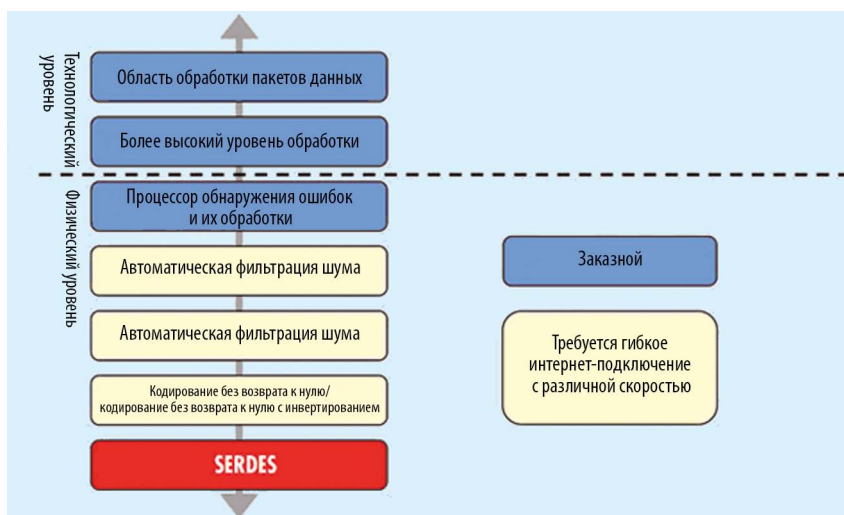
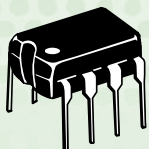
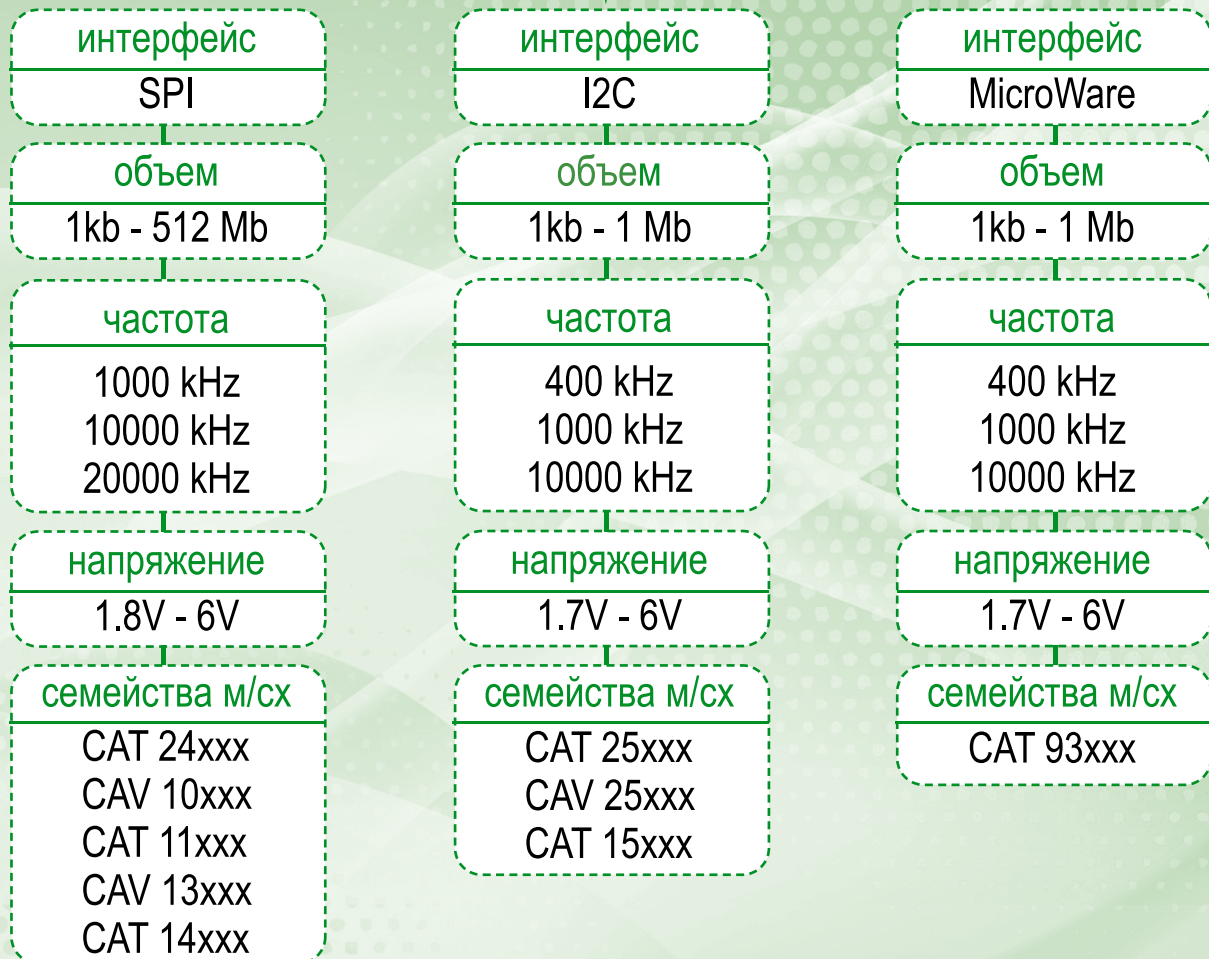


Рис. 1. Программируемые функциональные блоки SMPTE

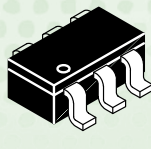


# Энергонезависимая память от ON SEMICONDUCTOR

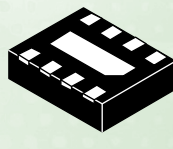
## EEPROM



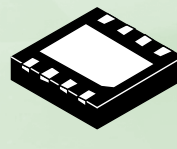
PDIP



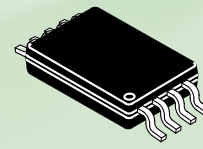
TSOT-23



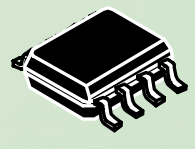
UDFN



TDFN



TSSOP



SOIC



Получите больше информации: [onsemi@mtgroup.ru](mailto:onsemi@mtgroup.ru)



ТЕХНИЧЕСКАЯ ПОДДЕРЖКА • СОПРОВОЖДЕНИЕ ПРОЕКТОВ • СКЛАД

### САНКТ-ПЕТЕРБУРГ

198099, Россия, Санкт-Петербург,  
ул. Калинина, д. 13 (м. Нарвская)  
Тел.: +7 (812) 325-36-85  
Факс: +7 (812) 786-85-79  
E-mail: [micro@mtgroup.ru](mailto:micro@mtgroup.ru)

### МОСКВА

Россия, Москва,  
ул. Красноармейская, д. 11, корп.1  
Тел.: +7 (495) 988-20-73  
Факс: +7 (495) 988-20-74  
E-mail: [moscow@mt-sytem.ru](mailto:moscow@mt-sytem.ru)



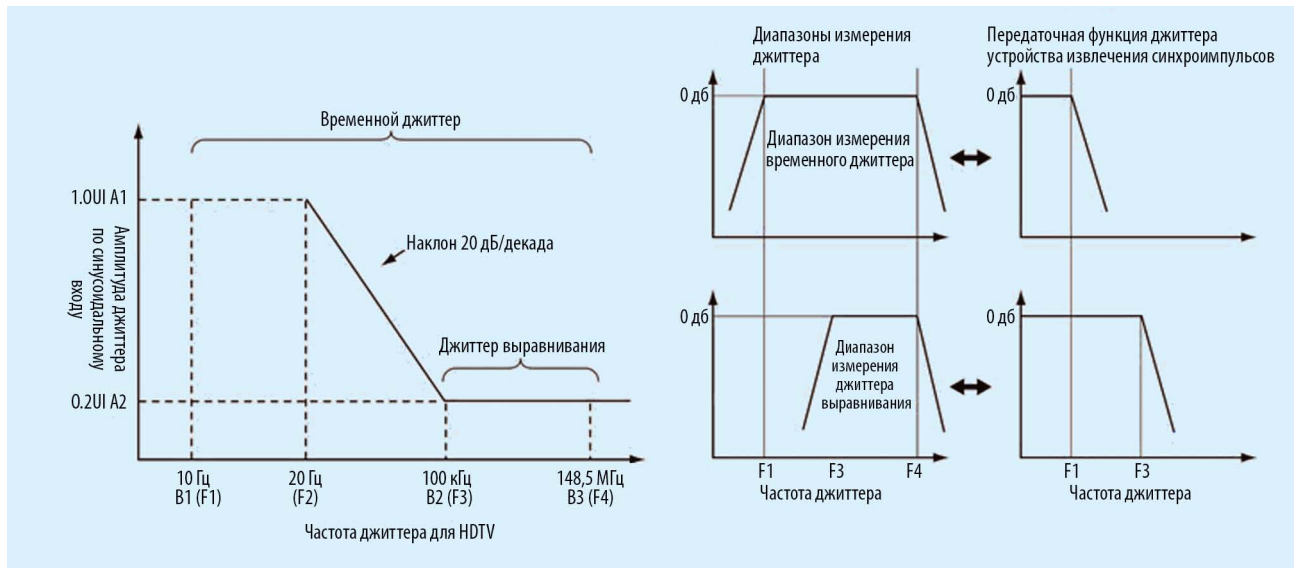


Рис. 2. Частотная характеристика джиттера HD-SDI

способностью поддерживать различные сетевые стандарты связи. Исходя из практических соображений, основанных на необходимости удовлетворения требований по техническим характеристикам, джиттеру и стоимости SERDES, большинство этих преобразователей работает в более узких частотных диапазонах, не перекрывающих весь SD-диапазон (как правило, 270 Мбит/с) и HD-диапазон (1,485 Гбит/с или 1,458/1,001 Гбит/с) скоростей обмена данными.

Одним из способов решения проблем, связанных с уменьшением частотного диапазона, является передискретизация или кратное увеличение частоты дискретизации сигналов, передаваемых или принимаемых с медленной скоростью, с целью обеспечения эффективной скорости, которая соответствует более скоростному обмену данными. Увеличение частоты дискретизации при передаче данных реализуется сравнительно просто, поскольку всего лишь требует кратного повторения каждого слова передаваемых данных. Увеличение частоты дискретизации при приеме данных является гораздо более сложной задачей, т.к. при этом следует умножать группы входных данных (количество одновременно принимаемых битов) на коэффициент передискретизации. Для этого в приемнике, как правило, используется схема синхронизации и восстановления данных (Clock and Data Recovery, CDR), работающая с более длинными группами SMPTE искаженных шаблонов (19 единиц и 1 ноль; 19 нолей и 1 единица; 20 единиц или 20 нолей).

Однако в ходе проведения процедуры передискретизации количество этих групп умножается на коэффициент передискретизации, и схема CDR не в состоянии правильно вос-

становить данные. Поэтому приемник SERDES может быть использован только для преобразования последовательных данных в параллельный код с последующим применением независимого параллельного модуля синхронизации и восстановления данных, расположенного вне блока SERDES/PCS. Эта схема также обладает недостатками, поскольку не позволяет преобразовать последовательные данные в параллельный код с помощью опорной тактовой частоты: преобразование последовательных данных всегда происходит с помощью восстановленной тактовой частоты, что ведет к их потерям или к ошибкам при приеме. Такая стратегия проектирования, очевидно, очень сложна. Этого можно было бы избежать, если бы преобразователи SERDES изначально поддерживали как HD-, так и SD-форматы и независимо работали с передаваемыми (Tx) и принимаемыми (Rx) данными. Одним из примеров такой ПЛИС со встроенным SERDES являются недорогие ПЛИС LatticeECP2M. Необходимо подчеркнуть, что обмен в сетях происходит, как правило, в дуплексном режиме, а среда видеосигналов — симплексная. Задача поддержки одновременного приема и передачи сигналов с одинаковой скоростью обычно никогда не ставится. Поэтому приемник и передатчик, входящие в такую ПЛИС, должны иметь встроенную опцию, позволяющую им работать на разных скоростях.

#### ТРЕБОВАНИЯ К ДЖИТТЕРУ ПРИ ПЕРЕДАЧЕ СИГНАЛОВ

Концепции измерения джиттера в сетевых приложениях SERDES и SMPTE слегка различаются. Хотя понятия временного джиттера (фазового дрожания синхронизирующих импульсов) концептуально совпадают в этих типах

приложений, джиттер выравнивания является уникальным понятием, характерным для SMPTE-приложений.

Временной джиттер определяется по амплитуде синусоидальных искажений идеального синхросигнала, измеренных в заданном частотном диапазоне. Как в случае HD-, так и SD-форматов, данный частотный диапазон определяет пределы изменения положения фронтов сигнала в диапазоне 10 Гц...148,5 МГц. С другой стороны, джиттер выравнивания устанавливает пределы изменения положения фронтов сигнала относительно извлеченных или восстановленных синхросигналов. В этом случае полоса пропускания при извлечении синхросигнала задает нижний предел по частоте для джиттера выравнивания (см. рис. 2). Основным шаблоном, применяемым для измерения компонентов джиттера, является 75-% шкала интенсивности цвета (тестовый телевизионный кадр), полученная из повсеместно используемой цветовой шкалы SMPTE, которая была разработана в CBS Labs в 1970-х гг.

ПЛИС со встроенным SMPTE-трансивером должна удовлетворять обоим стандартам по джиттеру, а к ее последовательным сигналам предъявляются строгие требования по амплитуде и временам спада и нарастания.

Общество SMPTE определило ряд специальных сигналов, получивших название искаженных, которые используются для проверки способности приемников функционировать даже при реализации самых худших сценариев в случае смешанных сигналов в режимах NRZ/NRZI (режимы кодирования, нечувствительные к полярности сигналов). Основными искаженными сигналами являются следующие.



Тестовый сигнал PLL используется для проверки работы системы фазовой автоподстройки частоты (PLL) последовательного цифрового приемника в стрессовом режиме. Для этого применяется выходная последовательность битов, которая после прохождения через сдвиговый регистр линейной обратной связи, используемый для смещения последовательных цифровых сигналов, с высокой степенью вероятности формирует на цифровом (NRZI) сигнале длинную строку из нулей или единиц, за которой следует длинная строка противоположной полярности. Это может заставить плохо спроектированную схему PLL выйти за пределы полосы захвата.

Тестовый сигнал адаптера кабеля состоит из длинной строки из нулей или единиц, за которой следует единичный бит противоположной полярности. Такой сигнал может привести к сбоям в работе плохо сконструированного адаптера кабеля.

Сигнал SDI Checkfield, параметры которого заданы стандартами SMPTE RP178 (для SD) и RP198 (для HD). Он содержит один из упомянутых выше сигналов в верхней части видеосигнала, а другой — в его нижней части.

Конденсаторы большинства приемников ПЛИС SERDES имеют очень малую емкость, что соответствует требованиям сетевых стандартов по передаче пакетов данных. В случае SMPTE искаженные сигналы характеризуются незначительными переходными процессами. Следовательно, из-за недостаточной постоянной времени внутренний конденсатор иногда не успевает разрядиться/зарядиться. Это ведет к тому, что средний уровень постоянной составляющей сигнала синхронизации снижается, достигает уровня полезного сигнала и оказывается ниже порога обнаружения. В результате схема синхронизации и восстановления данных может потерять автоматическую подстройку частоты (см. рис. 3). Выходом из этой ситуации является установка при-

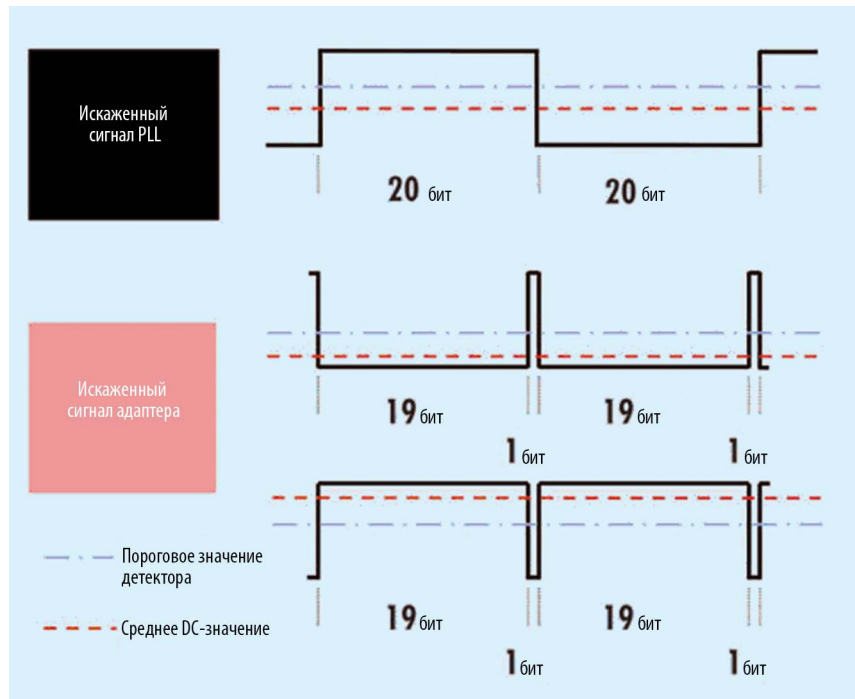


Рис. 3. Уровни фиксации сигнала

емника ПЛИС в режим связи по постоянному току и подключение к нему внешнего конденсатора. Конденсатор номиналом 1...10 мкФ в зависимости от типа приемника способен справиться с искаженными сигналами.

Помимо электрических параметров Как видно из рисунка 1, помимо преобразователей SERDES требуются дополнительные логические устройства для выполнения следующих процедур (см. рис. 4).

- Двухэтапная NRZ-шифровка/расшифровка ( $x^9 + x^4 + 1$ , полином) и NRZI-кодирование/декодирование ( $x + 1$ , линейное уравнение).
- Выравнивание видеослов путем обнаружения уникальных значений 3FFh, 000h, 000h эталонного сигнала синхронизации (Timing Reference Signal, TRS).
- Последующее декодирование TRS-сигнала и извлечение из

слова XYZ информации о кадре F, V, H (кадр, его вертикальное и горизонтальное положение).

- В формате HD после 4-го слова должен следовать пакет EAV (End of Active Video — конец активного видео), а в поле CRC18 требуется включить закодированный номер линии (Line Number, LN). Для формата SD таких требований нет, однако может понадобиться функциональный модуль EDH (Error Detection and Handling — обнаружение ошибок и их обработка).
- Необходимо использовать стандартный детектор, обеспечивающий динамическое переключение трансивера между HD- и SD-форматами. Один из способов реализации этого заключается в соответствующем программировании трансивера при использовании внешнего тактирующего устройства для конкретной

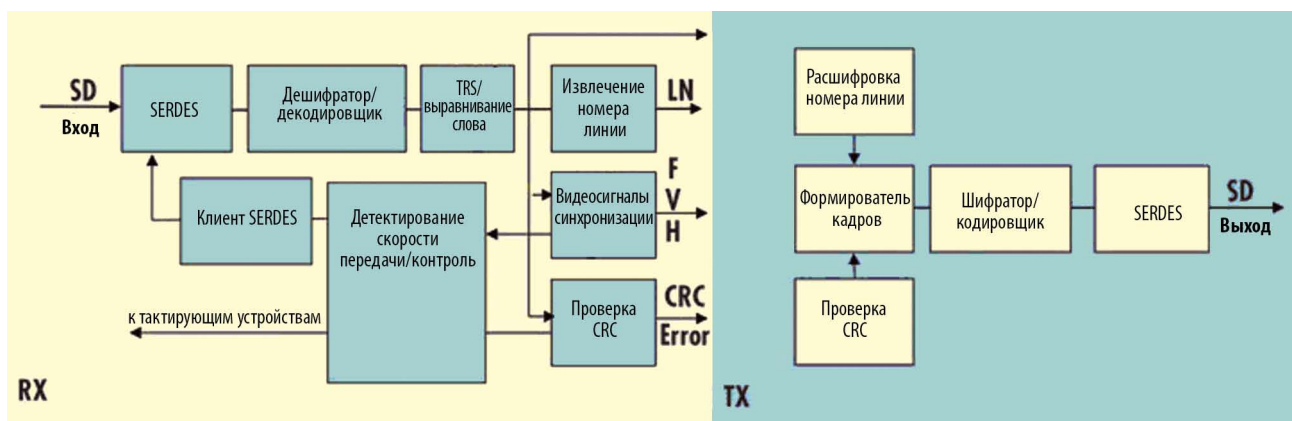


Рис. 4. Реализация SDI TX и RX в недорогой ПЛИС

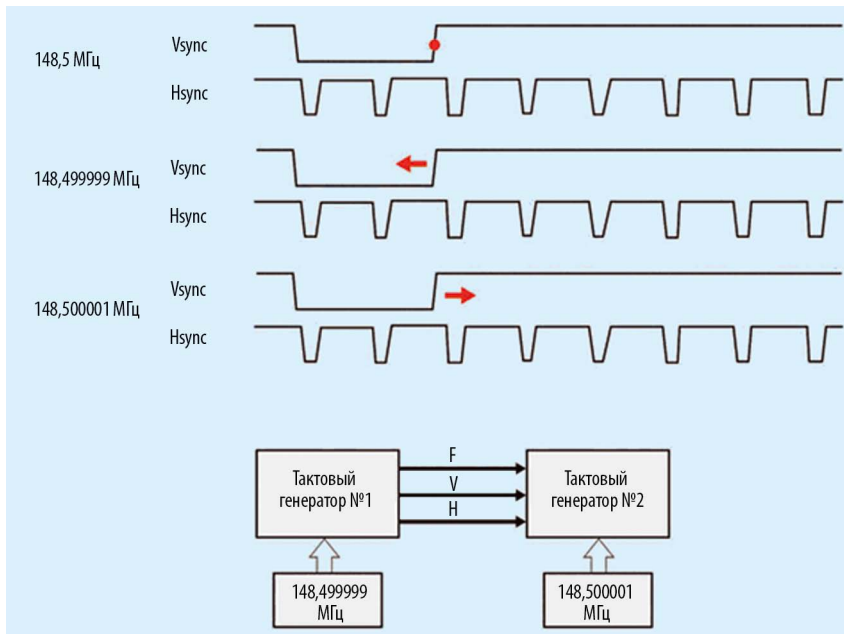


Рис. 5. Функция GenLock

скорости обмена, а также в циклической проверке приема видеосигнала и обнаружении ошибки в его отсутствие. Следовательно, если приема видеосигнала не происходит, приемник переключается на следующую скорость обмена.

- Обеспечение возможности масштабирования логических сигналов для поддержания последующих стандартов. Быстрое развитие 3G-SDI и Dual Link-SDI продемонстрировало важность применения упомянутых логических элементов в программируемых устройствах.

#### ЗАВЕРШЕНИЕ РАЗРАБОТКИ

Кроме ПЛИС, для реализации программируемого трансивера требуются и другие компоненты.

1. Эталонное тактирующее устройство на разные частоты. Существует несколько способов его реализации. Можно использовать кварцевый генератор, управляемый напряжением (VCXO), с подсоединенным к нему мультиплексором, который обеспечивает выбор заданной скорости обмена.

Можно использовать специализированный синтезатор видеосинхросигналов, который работает с генератором, вырабатывающим одну частоту (например, 27 МГц). Такой синтезатор обеспечивает для разных стандартов свою скорость обмена: для SD (в нашем примере, 270 Мбит/с) и для HD (в нашем примере, 1,485 Гбит/с и 1,485/1,001 Гбит/с). Многие приложения по обработке видеосигналов имеют несколько видеовходов и выходов. Поэтому одним из наиболее важных требований, предъявляемых к генератору синхросигналов (Generator Lock, GenLock), является выработка видеосигналов синхронизации Rx и Tx, обеспечивающих синхронизацию приема/передачи (см. рис. 5). На вход кристалла тактирующего устройства должны поступать сигналы F/V/H от приемника, которые оно должно использовать для синхронизации работы передатчика. Без опции GenLock приходится использовать буферные устройства для хранения кадров, позволяющие при необходимости либо дублиро-

вать, либо пропускать кадры. Если этого не делать, изображение может «прыгать» при переключении между разными входами.

2. В зависимости от качества передатчика и величины шумов от компонентов и самой платы может потребоваться схема сброса тактового генератора (clock cleaner) с гарантированным уровнем джиттера на выходе в заданной полосе частот. Схема сброса должна располагаться как можно ближе к трансиверу, чтобы избежать влияния наведенного джиттера от дорожек на печатной плате.
3. Адаптер/драйверы. Сети, передающие видеосигналы, могут простираться на несколько сотен метров. В зависимости от выбранного типа 75-Ом коаксиального кабеля сигнал в формате SD можно передавать на расстояние до 300 м, а HD — 100 м. В таких случаях требуется внешний драйвер кабеля и адаптера. Поскольку длина кабеля варьируется, адаптер приходится подстраивать. При совместном использовании драйвера с передатчиком ПЛИС необходимо быть готовым к коррекции электрических параметров. Драйвер способствует улучшению амплитуды передаваемого сигнала, а также времени спада и нарастания. Негативное влияние драйвера заключается во внесении дополнительного джиттера.

#### ЗАКЛЮЧЕНИЕ

Появление ПЛИС добавило новые возможности системам телевидения. Опции программирования, которые были доступны прежде в приложениях для других рыночных сегментов, стали реальностью и для систем SMPTE. Появление недорогих ПЛИС, оснащенных высокопроизводительными трансиверами и DSP-блоками, например, LatticeECP2M, значительно упрощает и удешевляет разработку систем телевидения.

#### ЛИТЕРАТУРА

1. Shakeel Peera. Low Cost FPGA-Based HD/SD SDI Transceivers//www.wirelessdesignmag.com.

# ГРАНИТ-ВТ

Электронная аппаратура для ответственных применений

- Серийное производство электронных модулей, в т.ч. с приемкой "5"
- Париленовое влагозащитное покрытие

- Контрактное производство высокотехнологичной электроники, в т.ч. BGA с рентген-контролем
- Контрактная разработка и инженерное сопровождение

Интерактивный конструктор электронных приборов на сайте [www.granit-vt.ru](http://www.granit-vt.ru)

ЗАО "ГРАНИТ-ВТ" т./ф.: 8 (812) 274-04-48, e-mail: mail@granit-vt.com, www.granit-vt.ru 191014, Санкт-Петербург, ул. Госпитальная 3